

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 8 日
Date of Application:

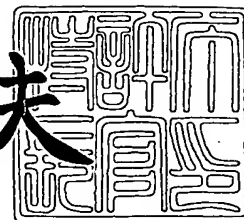
出 願 番 号 特 願 2 0 0 3 - 1 7 3 0 0 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 7 3 0 0 3]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 2 0 3 5

【書類名】 特許願

【整理番号】 OH003818

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/406

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 野口 英和

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 複数個の CMOS インバータを奇数段に接続し、終段の CMOS インバータの終段出力信号を初段の CMOS インバータの入力側に帰還させて自己発振させるリング発振回路を具えた半導体集積回路において、

前記初段の CMOS インバータは、電源電圧端子と基準電圧端子との間に結合された、PMOS トランジスタ及び NMOS トランジスタを含むトランジスタ直列回路と、該初段の CMOS インバータの初段出力信号を遅延させる遅延回路とを具えており、

前記遅延回路は、該初段の CMOS インバータの出力ノードと基準電圧端子との間に結合されたキャパシタと、該出力ノードと該基準電圧端子との間の、前記トランジスタ直列回路の電流路中に挿入結合された抵抗並列回路とを具えており、及び

該抵抗並列回路は、抵抗値の温度特性が異なる複数の抵抗素子を、並列接続されて構成されている

ことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 に記載の半導体集積回路において、

前記抵抗値の温度特性が異なる複数の抵抗素子を、

温度が高くなるほど抵抗値の小さくなる第 1 抵抗素子と、

抵抗値が温度非依存の第 2 抵抗素子とする

ことを特徴とする半導体集積回路。

【請求項 3】 複数個の CMOS インバータを奇数段に接続し、終段の CMOS インバータの終段出力信号を初段の CMOS インバータの入力側に帰還させて自己発振させるリング発振回路を具えた半導体集積回路において、

前記初段の CMOS インバータは、それぞれ前記終段出力信号が帰還される第 1 及び第 2 サブ CMOS インバータを具えており、

2 段目の CMOS インバータは、前記第 1 及び第 2 サブ CMOS インバータの第 1 及び第 2 初段出力信号がそれぞれ供給される第 1 及び第 2 入力端子を具える

論理ゲートで構成されており、

前記第1サブCMOSインバータは、電源電圧端子と基準電圧端子との間に結合された、第1PMOSトランジスタ及び第1NMOSトランジスタを含む第1トランジスタ直列回路と、前記第1初段出力信号を遅延させる第1遅延回路とを具えており、

前記第2サブCMOSインバータは、前記電源電圧端子と前記基準電圧端子との間に結合された、第2PMOSトランジスタ及び第2NMOSトランジスタを含む第2トランジスタ直列回路と、前記第2初段出力信号を遅延させる第2遅延回路とを具えており、

前記第1遅延回路は、第1サブCMOSインバータの第1出力ノードと前記基準電圧端子との間に結合された第1キャパシタと、該第1出力ノードと前記基準電圧端子との間の、前記第1トランジスタ直列回路の電流路中に挿入結合された、温度が高くなるほど抵抗値の小さくなる第1抵抗素子とを具えており、

前記第2遅延回路は、第2サブCMOSインバータの第2出力ノードと前記基準電圧端子との間に結合された第2キャパシタと、該第2出力ノードと前記基準電圧端子との間の、前記第2トランジスタ直列回路の電流路中に挿入結合された、抵抗値が温度非依存の第2抵抗素子とを具えていることを特徴とする半導体集積回路。

【請求項4】 第1発振周期決定回路と第2発振周期決定回路とを含み、これら二つの発振周期決定回路の出力する二つの出力信号のうち、発振周期の短い方の出力信号を最終出力として出力する発振周期決定装置を具えており、

前記第1発振周期決定回路は、第1発振回路を具えており、

前記第1発振回路は、終段のCMOSインバータの出力信号を初段のCMOSインバータの入力側に帰還させて自己発振させるように奇数段に接続された複数個のCMOSインバータを具えており、

前記初段のCMOSインバータは、電源電圧端子と基準電圧端子との間に結合された、第1PMOSトランジスタ及び第1NMOSトランジスタを含む第1トランジスタ直列回路と、該初段のCMOSインバータの初段出力信号を遅延させる第1遅延回路とを具えており、

該第 1 遅延回路は、第 1 サブ CMOS インバータの第 1 出力ノードと前記基準電圧端子との間に結合された第 1 キャパシタと、該第 1 出力ノードと前記基準電圧端子との間の、前記第 1 トランジスタ直列回路の電流路中に挿入結合された、温度が高くなるほど抵抗値の小さくなる第 1 抵抗素子とを具えており、

前記第 2 発振周期決定回路は、発振周期が温度非依存の出力信号を出力することを特徴とする半導体集積回路。

【請求項 5】 請求項 4 に記載の半導体集積回路において、

前記第 1 発振周期決定回路は、前記第 1 発振回路の出力信号の周波数を分周して発振周期を調節する第 1 分周回路を具えており、

前記第 1 分周回路は、前記第 1 発振回路の出力信号の周波数を分周するために分周周期を変化させる調整手段を具えていることを特徴とする半導体集積回路。

【請求項 6】 請求項 4 または 5 に記載の半導体集積回路において、

前記第 2 発振周期決定回路は、第 2 発振回路と第 2 分周回路とで構成され、

前記第 2 発振回路は、終段の CMOS インバータの出力信号を初段の CMOS インバータの入力側に帰還させて自己発振させるように、奇数段に接続された複数個の CMOS インバータを具え、

前記第 2 発振回路の初段の CMOS インバータは、前記電源電圧端子と前記基準電圧端子との間に結合された、第 2 PMOS トランジスタ及び第 2 NMOS トランジスタを含む第 2 トランジスタ直列回路と、該第 2 発振回路の初段の CMOS インバータの初段出力信号を遅延させる第 2 遅延回路とを具えており、

該第 2 遅延回路は、第 2 サブ CMOS インバータの第 2 出力ノードと前記基準電圧端子との間に結合された第 2 キャパシタと、該第 2 出力ノードと前記基準電圧端子との間の、前記第 2 トランジスタ直列回路の電流路中に挿入結合された、抵抗値が温度非依存の第 2 抵抗素子とを具えていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路に関するものであり、特に、発振回路、或いは、発振回路と接続した分周回路により一定周期で信号を出力する回路に関する。

【0002】

【従来の技術】

ダイナミックランダムアクセスメモリ（DRAM）は、情報を記憶するセル（メモリセル）として幅広く用いられている。DRAMは、キャパシタの蓄積電荷の有無により情報を保持しているが、時間経過と共に書き込まれた電荷が徐々に放電されて情報が失われる特徴をもっている。常に情報を保持するためには、定期的にメモリセルの内容を読み出して再書き込みする必要がある、この動作をリフレッシュと呼んでいる。DRAMでは、外部入力によりリフレッシュを行うことが可能で、一定時間毎にリフレッシュ動作を行えば、情報が消えることはない。また、DRAMは、内部タイマによって一定時間間隔毎に自動的にリフレッシュ動作を行うセルフリフレッシュ機能を持っている。

【0003】

リフレッシュ動作の間隔は、メモリセルに書き込まれた電荷の放電時間により決まり、一般的に放電時間は低温に比べて高温の方が短い。よって、セルフリフレッシュモードでのリフレッシュ動作の間隔は、高温でも情報が消えないように十分短い時間に設定し、リフレッシュ動作の間隔は、温度に関わらず出来る限り一定にしていた。このため、低温では必要以上に短い間隔でリフレッシュ動作が行われていた。

【0004】

近年、製品に対する低消費電力化の要求により、低温ではリフレッシュ間隔を長くして消費電力を下げる手法が必要とされている。

【0005】

例えば、特許文献1では、トランジスタのオン抵抗により、発振周期が高温領域で長くなり、DRAMのリフレッシュ周期が長くなってしまう場合の解決方法として、抵抗素子をリング発振回路のCMOS（相補型MOSトランジスタ）に具えることが示されている。特許文献1では、温度に依存せず、一定の周期で発振周期を出力することが主な目的となっているが、温度が高くなるほど抵抗値が

小さくなるような抵抗素子を用いることで、温度が高くなるほど発振周期の短くなるリング発振回路が提供できることが示されている。

【0006】

このような温度が高くなるほど抵抗値が小さくなる抵抗素子を、抵抗素子の抵抗値の大きさによってキャパシタの充放電時間を調整する発振回路に組み込めば、発振周期が高温で短く低温で長くなる特徴を持つリング発振回路を提供することが出来る。

【0007】

図22は、このようなリング発振回路のもっとも単純な構成例である。発振回路400は、1個の遅延回路426を含む初段のインバータ402と、中段の3個のインバータ404、406及び408と、終段のインバータ410とを順次リング状に直列接続させて構成してある。ここでは、この発振回路400を外部と接続するために、終段のインバータ410は、NAND回路で構成されている。NAND回路410の2つの入力端子には、前段のインバータ408の出力端子と2値の信号 S_T が入力される外部端子が接続されている。このNAND回路410は、この信号 S_T の入力によって制御される。2値の一方を“1”すなわち“ハイレベル”とし、他方を“0”すなわち“ローレベル”とすると、信号 S_T がハイレベルにあるときは、この発振回路はオンの状態となり、NAND回路410は、インバータとして働く。

【0008】

初段のインバータ402は、PMOSトランジスタ（PMOSTとも称する。）414及びNMOSトランジスタ（NMOSTとも称する。）416の主電流路を直列に接続したトランジスタ直列回路424と、このトランジスタ直列回路424に接続されていて、インバータ402の出力信号に遅延を与える遅延回路426を具えている。この遅延回路426は、温度依存抵抗素子418と、キャパシタ420とで構成されている。

【0009】

リング発振回路400の発振周期は、キャパシタ420に蓄積された電荷の放電に要する時間で大きく変化する。温度依存抵抗素子418の抵抗値が大きくな

れば、流れる電流が小さくなるので、放電に要する時間は長くなり、発振周期も比例して長くなる。よって、このリング発振回路 400 では、温度依存抵抗素子 418 の抵抗値が、温度が高くなるほど小さくなるので、発振周期は、温度が高いほど短くなる。

【0010】

図 23 は、図 22 で示したリング発振回路 400 の出力する発振周期と温度との関係の概略を示したグラフである。

【0011】

縦軸は、80℃の発振周期を 1 とした場合の各温度での相対値の常用対数値を表している。横軸は温度（単位：℃）を表している。

【0012】

DRAM がデータを保持するために必要なリフレッシュ周期は、温度が 10℃下がると経験的に約 1.4 倍になるので、このグラフでは、温度依存抵抗素子 418 の温度特性が、10℃下がると抵抗値が 1.35 倍大きくなると仮定した場合について示している。

【0013】

発振周期は温度依存抵抗素子 418 の抵抗値の大きさに比例するため、高温になるほど抵抗値が小さくなり発振周期は短くなっていく。逆に低温になれば、温度依存抵抗素子 418 の抵抗値が大きくなるため、発振周期は長くなっていく。発振周期が長くなることにより、低温における DRAM のリフレッシュ周期を長くすることが出来るので、消費電力を低減できる。

【0014】

このようなキャパシタと、抵抗素子とを組み込んだ充放電回路を具えたリング発振回路は、MOS トランジスタの製造バラツキや電源電圧の変動に強く、かつ、回路も単純なので、非常に有用性がある。

【0015】

しかしながら、このリング発振回路 400 の温度依存抵抗素子 418 では、温度が低くなると抵抗値は下がり続けるので、リング発振回路 400 の出力する発振周期に最大値は存在しない。

【0016】

よって、低温になるほどリフレッシュ周期は長くなっていくので、広い温度範囲でのメモリテストが必要となる。セルフリフレッシュモードでのメモリテスト（すなわち、内部タイマーを動作させることによるメモリテスト）で長いリフレッシュ間隔をとろうとすると、試験を低温で行う必要がある。特に、0℃以下の試験では、空気中の水分が氷結して問題を起こす装置もあるため、これを防ぐための高価な試験装置が必要となる。

【0017】

また、DRAMのメモリセルの中には、キャパシタに蓄えられた電荷が漏洩する経路が幾つかあり、大半はその漏洩電流は高温になるほど大きい。希に微小な欠陥等によって、低温になっても漏洩電流が少なくなる経路をもつメモリセルが存在する。温度により抵抗値が変化しない抵抗素子を用いた発振回路では、高温領域で必要とされるリフレッシュ間隔が設定されているので、このようなメモリセルを欠陥セルとして排除する必要はなかった。

【0018】

しかしながら、温度が高くなるほど抵抗値の大きくなる抵抗素子を具えた従来のリング発振回路を用いると、発振周期は低温になると長くなり、上述のような低温でも漏洩電流が少なくなる経路をもつメモリセルは、全て排除され、スベアのメモリセル（冗長セル）に置き換えられることになり、半導体集積回路の製造における歩留まりを低下させてしまう。

【0019】

そこで、温度が低くなるほど長くなっていく発振周期に最大値を設定できれば、低温での試験が不要になる。さらに、発振周期の最大値を設定することができれば、上述のような低温になっても漏洩電流が少なくなる経路をもつメモリセルを冗長セルに置き換える個数を減らすことができ、半導体集積回路の製造の歩留まりを向上させることができる。

【0020】

発振周期に最大値を設定する方法が、例えば、特許文献2に示されている。この特許文献2では、正の温度特性を有する抵抗素子を具えたCR発振回路の発振

周期により、温度検出回路を形成している。この温度検出回路では、温度領域を 3 つに分け、各温度領域での出力を変える。この出力によって、分周回路の分周周期、或いは、リング発振器の発振周期を調節し、D R A M のリフレッシュ周期に用いる。

【 0 0 2 1 】

【特許文献 1】

特開平 5 - 2 9 9 9 8 2 号公報（第 3 頁、図 1）

【特許文献 2】

特開平 5 - 3 0 7 8 8 2 号公報

【 0 0 2 2 】

【発明が解決しようとする課題】

しかしながら、特許文献 2 に示された方法では、温度検出回路の出力を切り替える温度で、リング発振器の発振周期が急激に変化してしまう。

【 0 0 2 3 】

特許文献 2 の回路では、その発振周期は、図 2 3 のグラフのようなほぼ一定の傾きをもつ直線ではない。その発振周期は、連続的に設定したある 3 つの温度範囲では、それぞれほぼ一定となる。しかしながら、その発振周期は、発振回路を切り替える温度では急激に変化するため、階段状に変化した発振特性となる。

【 0 0 2 4 】

この 2 つの切り替え温度をどこに設定するかにより、発振周期の特性が大きく変わってくるので、その決定が難しい。メモリテストによって、冗長セルに置き換えられるメモリセルを減らすためには、この切替温度を適切に調節することが必要になり、そのため、発振回路の設計が非常に難しくなる。

【 0 0 2 5 】

よって、発振周期が高温で短く低温で長くなる温度特性を持ち、しかも発振周期の最大値を設定できる発振回路が望まれていた。

【 0 0 2 6 】

さらに、温度変化による発振周期の調整を円滑にするために、通常使用する温度範囲における発振周期の急変を抑制した発振回路が望まれていた。

【 0 0 2 7 】**【課題を解決するための手段】**

そこで、この出願に係る発明者は、温度抵抗の異なる抵抗素子を並列に接続すれば、発振周期が高温で短く低温で長くなだらかに変化し、かつ、低温領域で発振周期の最大値を設定できるという結論に達した。

【 0 0 2 8 】

この発明の第一の要旨の半導体集積回路は、複数個のCMOSインバータを奇数段に接続し、終段のCMOSインバータの終段出力信号を初段のCMOSインバータの入力側に帰還させて自己発振させるリング発振回路を具えている。初段のCMOSインバータは、電源電圧端子と基準電圧端子との間に結合された、PMOSトランジスタ及びNMOSトランジスタを含むトランジスタ直列回路と、初段のCMOSインバータの初段出力信号を遅延させる遅延回路とを具えている。この遅延回路は、初段のCMOSインバータの出力ノードと基準電圧端子との間に結合されたキャパシタと、出力ノードと基準電圧端子との間の、トランジスタ直列回路の電流路中に挿入結合された抵抗並列回路とを具えており、及び抵抗並列回路は、抵抗値の温度特性が異なる複数の抵抗素子を、並列接続されて構成されている。

【 0 0 2 9 】

ここで、結合とは回路或いは端子を、直接或いは間接的に接続することを意味する。例えば、PMOSトランジスタ及びNMOSトランジスタを含むトランジスタ直列回路が電源電圧端子と基準電圧端子との間に結合されている場合、PMOSトランジスタが直接電源電圧端子に接続されても良いし、他の能動的または受動的な回路または素子を介して接続されていても良い。すなわち、この発明の目的を達成するのを妨げない場合には、他の素子或いは回路を介して接続されても良い。同様に、例えば、遅延回路の抵抗並列回路と出力ノードとの間に、他の能動的或いは受動的な回路または素子が接続されていても良い。

【 0 0 3 0 】

この発明の第一の要旨の半導体集積回路の上述した構成によれば、発振周期が高温で短く低温で長くなだらかに変化し、かつ、低温領域で発振周期の最大値を

設定できる。

【 0 0 3 1 】

また、好ましくは、抵抗値の温度特性が異なる複数の抵抗素子を、温度が高くなるほど抵抗値の小さくなる第 1 抵抗素子と、抵抗値が温度非依存の第 2 抵抗素子とすると良い。

【 0 0 3 2 】

一般に、抵抗値が完全に温度非依存の抵抗素子は存在せず、通常 1 % 程度の範囲内で抵抗値が変化する。ここで用いた抵抗値が温度非依存の抵抗素子とは、上述のように、設定された抵抗値の大きさから温度により抵抗値がごく狭い範囲（通常 1 % 程度）内で変化する、すなわち、抵抗値がほとんど変化しない抵抗素子をいう。また、説明を簡易にするために温度が高くなるほど抵抗値の小さくなる抵抗素子を温度依存抵抗素子、抵抗値が温度非依存の抵抗素子を温度非依存抵抗素子と称する。

【 0 0 3 3 】

この発明の第一の要旨の半導体集積回路の上述した構成例によれば、高温では温度依存抵抗素子の影響を多く受けて決定された発振周期で出力され、低温では温度非依存抵抗素子の影響を多く受けて決定された発振周期で出力される。また、この半導体集積回路により提供される発振回路は、温度が低いほど発振周期が長くなり、かつ、低温になるほど温度による発振周期の変化率が小さくなって最大値へと収束する温度特性を持つことができる。

【 0 0 3 4 】

これにより、DRAM のセルフリフレッシュモードでのリフレッシュ周期に、この半導体集積回路の出力する出力信号の発振周期を用いれば、最大周期をコントロールする、すなわち、一定の値へ収束することができるので、メモリテストの時間が長くなるのを防ぐことができる。また、冗長セルに置き換えるメモリセルの個数を減らすことができるので、DRAM の製造における歩留まりを向上させることができる。

【 0 0 3 5 】

この発明の第二の要旨の半導体集積回路は、複数個の CMOS インバータを奇

数段に接続し、終段のCMOSインバータの終段出力信号を初段のCMOSインバータの入力側に帰還させて自己発振させるリング発振回路を具えている。初段のCMOSインバータは、それぞれ終段出力信号が帰還される第1及び第2サブCMOSインバータを具えており、2段目のCMOSインバータは、第1及び第2サブCMOSインバータの第1及び第2初段出力信号がそれぞれ供給される第1及び第2入力端子を具える論理ゲートで構成されている。第1サブCMOSインバータは、電源電圧端子と基準電圧端子との間に結合された、第1PMOSトランジスタ及び第1NMOSトランジスタを含む第1トランジスタ直列回路と、第1初段出力信号を遅延させる第1遅延回路とを具えている。第2サブCMOSインバータは、電源電圧端子と基準電圧端子との間に結合された、第2PMOSトランジスタ及び第2NMOSトランジスタを含む第2トランジスタ直列回路と、第2初段出力信号を遅延させる第2遅延回路とを具えている。第1遅延回路は、第1サブCMOSインバータの第1出力ノードと基準電圧端子との間に結合された第1キャパシタと、第1出力ノードと基準電圧端子との間の、第1トランジスタ直列回路の電流路中に挿入結合された、温度が高くなるほど抵抗値の小さくなる第1抵抗素子とを具えている。第2遅延回路は、第2サブCMOSインバータの第2出力ノードと基準電圧端子との間に結合された第2キャパシタと、第2出力ノードと基準電圧端子との間の、第2トランジスタ直列回路の電流路中に挿入結合された、抵抗値が温度非依存の第2抵抗素子とを具えている。

【0036】

この発明の第二の要旨の半導体集積回路の上述した構成によれば、高温領域では第1遅延回路で発振周期が決定して出力され、低温領域では第2遅延回路で発振周期が決定して出力される。これにより、発振周期は、高温で短く、低温で長くなる。第2遅延回路の発振周期は温度に依存しないので、低温で発振周期の最大値が設定できる。

【0037】

ここで、最大値に達する温度の設定を、0℃以上の温度にしておけば、セルフリフレッシュモードでのメモリテストを0℃以下で行う必要が無く、氷結等を防ぐための高価な装置を用いる必要がない。また、発振周期の最大値も小さく設定

できるので、メモリテスト全体に必要とされる時間も短くて済む。また、第1遅延回路で発振している際の温度変化による傾きを大きくすることができ、かつ、最大値も設定できるので、発振周期の変化をより自由に設定できる。

【0038】

また、この発明の第三の要旨の半導体集積回路によれば、第1発振周期決定回路と第2発振周期決定回路とを含み、これら二つの発振周期決定回路の出力する二つの出力信号のうち、発振周期の短い方の出力信号を最終出力として出力する発振周期決定装置を具えている。第1発振周期決定回路は、第1発振回路を具えている。この第1発振回路は、終段のCMOSインバータの出力信号を初段のCMOSインバータの入力側に帰還させて自己発振させるように奇数段に接続された複数個のCMOSインバータを具えており、初段のCMOSインバータは、電源電圧端子と基準電圧端子との間に結合された、第1PMOSトランジスタ及び第1NMOSトランジスタを含む第1トランジスタ直列回路と、初段のCMOSインバータの初段出力信号を遅延させる第1遅延回路を具えている。この第1遅延回路は、第1サブCMOSインバータの第1出力ノードと基準電圧端子との間に接続された第1キャパシタと、第1出力ノードと基準電圧端子との間の、第1トランジスタ直列回路の電流路中に挿入接続された、温度が高くなるほど抵抗値の小さくなる第1抵抗素子とを具えている。第2発振周期決定回路は、発振周期が温度非依存の出力信号を出力する。

【0039】

この発明の第三の要旨の半導体集積回路の上述した構成によれば、高温領域では第1発振周期決定回路で発振周期が決定して出力され、低温領域では第2発振周期決定回路で発振周期が決定して出力される。これにより、発振周期は、高温領域では短く、低温領域では長くなる。第2発振周期決定回路の発振周期は温度に依存しないので、低温領域で発振周期の最大値が設定できる。

【0040】

また、第1発振周期決定回路は、第1発振回路の出力信号の周波数を分周して発振周期を調節する第1分周回路を具えると好適である。第1分周回路は、第1発振回路の出力信号の周波数を分周するために分周周期を変化させる調整手段を

具えている。

【0041】

この第三の要旨の半導体集積回路の上述した構成例によれば、分周回路によって発振回路の出力を調整しているので、温度依存抵抗素子の温度特性にバラツキがある場合でも、容易に調整することが出来る。よって、温度依存抵抗素子を用いた第1発振周期決定回路と温度非依存抵抗素子を用いた第2発振周期決定回路によって、温度による発振周期の変化を高い自由度で設定できる。また、抵抗素子の抵抗値の大きさだけで発振周期を調整するよりも、抵抗素子の大きさすなわち抵抗値を小さくできるので、集積回路上での面積を小さくすることが出来る。

【0042】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。尚、以下の説明において、説明を簡便にするためにリング発振回路を単に発振回路と称する場合がある。

【0043】

[第1の実施の形態]

図1～3を参照して、この発明の半導体集積回路の第1の実施の形態につき説明する。

【0044】

図1は、第1の実施の形態の発振回路の回路図である。

【0045】

この発振回路100は、複数個のCMOSインバータを奇数段に接続し、終段のCMOSインバータの終段出力信号を初段のCMOSインバータの入力側に帰還させて自己発振させる構成となっている。以下、CMOSインバータを単にインバータとも称する。

【0046】

発振回路100は、1個の遅延回路128を含む初段のインバータ102と、中段の3個のインバータ104、106及び108と、終段のインバータ110とを順次リング状に直列接続させて構成してある。ここでは、この発振回路10

0 を外部と接続するために、終段のインバータ 110 は、第 1 及び第 2 入力端子を具える NAND 回路で構成されている。第 1 入力端子は、前段のインバータ 108 の出力端子に接続されている。NAND 回路 110 の第 2 入力端子に外部から入力される 2 値の信号 S_T によって、この NAND 回路 110 が制御される。2 値の一方を“1”すなわち“ハイレベル”とし、他方を“0”すなわち“ローレベル”とすると、信号 S_T がハイレベルにあるときは、この発振回路はオンの状態となり、NAND 回路 110 は、インバータとして働く。

【0047】

初段のインバータ 102 は、導電型の異なる 2 個のトランジスタ 114 及び 116 の主電流路を直列に接続したトランジスタ直列回路 130 と、このトランジスタ直列回路 130 に接続されていて、インバータ 102 の初段出力信号に遅延を与える遅延回路 128 を具えている。この遅延回路 128 は、温度係数の異なる 2 つの抵抗素子（すなわち第 1 及び第 2 抵抗素子）118 及び 120 で構成される抵抗並列回路 132 と、キャパシタ 122 とで構成されている。この発明では、キャパシタ 122 は、初段のインバータの出力ノードと基準電圧端子との間に接続されている。また、この抵抗並列回路 132 は、初段のインバータの出力ノードと基準電圧端子との間の、トランジスタ直列回路 130 の電流路中に挿入接続されている。

【0048】

図 1 に示すこの構成例では、初段のインバータ 102 の上述したトランジスタ直列回路 130 は、電源電圧 (V_{DD}) 端子（以下、バイアス電圧端子とも称する。）と基準電圧 (V_{SS}) 端子（例えば大地 (GND)）との間に接続されている。第 1 のトランジスタである PMOST 114 の一方の主電極は、 V_{DD} 端子に結合され、PMOST 114 の他方の主電極は、抵抗並列回路 132 を介して第 2 のトランジスタである NMOST 116 の他方の主電極に結合され、及び、NMOST 116 の一方の主電極は、 V_{SS} 端子に結合されている。PMOST 114 及び NMOST 116 は、それぞれの制御（ゲート）電極を接続点（ノードとも称する。）124 で共通接続されている。2 つの抵抗素子の一方の第 1 抵抗素子 118 は、温度が高くなるにつれて抵抗値が低くなる特性を有する（以下、温度

依存抵抗素子ともいう。)。他方の第2抵抗素子120は、温度変化に対して抵抗値がほとんど変わらない特性を有する(以下、温度非依存抵抗素子ともいう。)。この2つの抵抗素子が並列に接続された状態で、PMOST114の他方の主電極であるドレイン電極とNMOST116の他方の主電極であるドレイン電極との間に接続される。キャパシタ122は、PMOST114のドレイン電極と V_{SS} 端子との間に接続される。インバータ102の出力端子はPMOST114のドレイン電極である。図1中、この出力端子を、PMOST114のドレイン電極と抵抗並列回路132と、キャパシタ122との接続点(出力ノードと称する。)126として示してある。尚、上述した他のインバータ104、106、108及び110は、基本的には、従来と同様に、 V_{DD} 端子と V_{SS} 端子との間に接続されたPMOSTとNMOSTのトランジスタ直列回路をそれぞれ個別に具えている。

【0049】

次に、発振回路100の動作について説明する。以下の説明では、2値の“1”に相当するハイレベルは電圧 V_{DD} で表され、及び、2値の“0”に相当するローレベルは、電圧 V_{SS} (この実施の形態では接地されているので $V_{SS}=0V$ である。)で表されている。尚、以下の説明において、 d_1 は初段のインバータ102の初段出力信号、 d_2 は2段目のインバータ104の出力信号、 d_3 は3段目のインバータ106の出力信号、 d_4 は4段目のインバータ108の出力信号、及び d_5 は終段のインバータ110の終段出力信号をそれぞれ表す。図2に、発振回路100の動作波形の概略図を示す。

【0050】

入力信号 S_T としてハイレベルの信号がNAND回路110の第2入力端子に外部から入力されると、NAND回路110からはローレベルの信号 d_5 が出力され、ノード124にローレベルの信号が伝わるのでPMOST114及びNMOST116の制御(ゲート)電極にローレベルの信号が入力される。これにより、PMOST114がオン、かつNMOST116がオフとなって、キャパシタ122に電荷が蓄積される。同時にインバータ104にハイレベルの信号 d_1 が送られる。インバータ104からはローレベルの信号 d_2 が出力され、インバ

ータ 106、108 によって順にハイレベル、ローレベルに変換され、ノード 112 からローレベルの信号 d_4 が外部へ出力される。同時に、NAND 回路 110 にローレベルの信号が入力される。尚、ノード 112 は、インバータ 108 の出力端子と終段インバータ 110 の第 1 入力端子との接続点であって、この構成例では、発振回路 100 の出力端子を構成している。

【0051】

NAND 回路 110 は、第 2 入力端子の信号 S_T がハイレベルの状態では、インバータと同じ働きをするので、第 1 入力端子に入力された信号と逆の信号（ハイレベルならローレベル、ローレベルならハイレベル）が終段出力信号として出力される。よって、ここでは NAND 回路 110 から、ハイレベルの信号 d_5 が出力される。NAND 回路 110 からハイレベルの信号が PMOST 114 及び NMOST 116 のゲート電極に入力される。これにより、PMOST 114 がオフ、かつ NMOST 116 がオンとなって、キャパシタ 122 に蓄積されていた電荷が徐々に放出される。同時にインバータ 104 にローレベルの信号 d_1 が送られる。インバータ 104 からはハイレベルの信号 d_2 が出力され、インバータ 106、108 によって順にローレベル、ハイレベルに変換され、ノード 112 からハイレベルの信号 d_4 が外部へ出力される。同時に、NAND 回路 110 にハイレベルの信号 d_4 が入力される。NAND 回路 110 からは、ローレベルの信号 d_5 が出力されるので、上述の動作が繰り返されることにより、ハイレベル信号とローレベルの信号 d_4 が、一定の周期で外部に出力される。

【0052】

初期状態では、出力信号 d_1 と d_3 はローレベル、及び d_2 と d_4 はハイレベルに設定されている。入力信号 S_T にハイレベルの信号を入力すると、NAND 回路 110 からローレベルの終段出力信号 d_5 が出力される。PMOST 114 及び NMOST 116 の制御電極にローレベルの信号が伝わり、PMOST 114 がオン、かつ NMOST 116 がオフとなる。この発振回路 100 では、キャパシタ 122 に電荷が蓄積される経路には抵抗並列回路 132 が関与しないので、初段出力信号 d_1 は、速やかにハイレベルになる。そして、信号 d_2 はローレベル、信号 d_3 はハイレベル、及び信号 d_4 はローレベルとなる。終段の NAND 回路 1

10に信号 d_4 すなわちローレベルの信号が入力されるため、ノード124はハイレベルとなる。よって、PMOST114がオフかつNMOST116がオンになって、キャパシタ122に蓄積されていた電荷が徐々に放電される。キャパシタ122の放電経路は、抵抗並列回路132を経由するので、この抵抗並列回路132によって放電時間は遅延され、そのため信号 d_1 は徐々にローレベルへ変化する。信号 d_1 の出力によって、信号 d_2 は徐々にハイレベルに変化し、順に信号 d_3 はローレベル、信号 d_4 はハイレベルとなる。信号 d_4 がハイレベルとなると、再びNAND回路110からは、ローレベルの終段出力信号 d_5 が出力される。 S_T がハイレベル即ちオン信号が入力された状態では、この動作が繰り返されるので、図2に示したような動作波形でローレベル及びハイレベルの信号が周期的に出力される。入力信号 S_T にハイレベルの信号を入力した時間を t_1 すると、キャパシタ122の放電により信号 d_1 がローレベルになった時間 t_{2a} までにかかった時間が発振周期 f_a となる。一定周期おき、すなわち発振周期 f_a でハイレベルを示す信号 d_4 を外部に出力することで、リング発振回路として用いることができる。

【0053】

キャパシタ122に蓄積された電荷が放電されることによるハイレベルからローレベルへの電圧の変化に要する時間は、抵抗並列回路132の抵抗値 R の大きさに依存し、抵抗値 R が大きいほど放電に時間がかかる。このため、抵抗並列回路の抵抗値 R が大きいほど発振周期 f_a が長くなる。よって、抵抗回路の抵抗値 R を調整することで、発振周期を変化させることが出来る。

【0054】

この発振回路100では、抵抗並列回路132の抵抗値 R は、並列接続されている2つの抵抗素子のうち、温度依存抵抗素子118の抵抗値を R_1 、及び温度非依存抵抗素子120の抵抗値を R_2 とすると、以下のような式(1)で表される。

【0055】

$$R = 1 / \{ (1/R_1) + (1/R_2) \} \cdots (1)$$

この式(1)から、ここでは温度非依存抵抗素子 R_2 が一定であるので、温度

依存抵抗素子の抵抗値 R_1 が大きくなれば、式 (1) の分母の値が小さくなるので抵抗並列回路の抵抗値 R が大きくなり、温度依存抵抗素子の抵抗値 R_1 が小さくなれば、式 (1) の分母の値が大きくなるので抵抗並列回路の抵抗値 R が小さくなる。

【0056】

次に、温度依存抵抗素子 118 の抵抗値 R_1 と温度非依存抵抗素子 120 の抵抗値 R_2 の大きさを比較する。抵抗値 R_1 は温度に依存し、高温領域では抵抗値が小さく、低温領域では大きい。すなわち、その逆数である $1/R_1$ は、高温では大きく、低温では小さい。また、抵抗値 R_2 は、温度に依存しないことから、 $1/R_2$ は一定である。

【0057】

抵抗値 R_1 が抵抗値 R_2 より小さくなるほど、すなわち $1/R_1$ が $1/R_2$ より大きくなるほど、式 (1) の右辺の分母の値は、 R_1 に影響される。よって、 R の大きさは、 R_1 によって決まり、温度に依存することになる。

【0058】

抵抗値 R_1 が抵抗値 R_2 より大きくなるほど、すなわち $1/R_1$ が $1/R_2$ より小さくなるほど、式 (1) の右辺の分母の値は、 R_1 の影響を受けにくくなる。よって、 R の大きさは、 R_2 の値によってほぼ決まり、温度に依存しにくくなる。

【0059】

以上のことから、この発振回路 100 では、高温領域では抵抗値 R は小さくかつ R_1 による影響を受けて温度に依存し、低温領域では抵抗値 R は大きくかつ R_1 の影響を受けにくくなり、温度に依存しないように抵抗値 R_1 、 R_2 の値を調整する。

【0060】

この発振回路 100 を、DRAM のリフレッシュ周期に用いることを想定して抵抗値 R_1 、 R_2 を決定する場合について説明する。DRAM の使用温度範囲は、一般に $0^{\circ}\text{C} \sim 80^{\circ}\text{C}$ の範囲と考えられる。よって、ここでは高温領域を 80°C 付近、低温領域を 0°C 付近として説明する。温度非依存抵抗素子 120 の抵抗値 R_2 は、温度依存抵抗素子 118 の高温領域での抵抗値 R_1 の 10 倍～20 倍に設定

する。また、温度依存抵抗素子 118 の温度係数は、1.35～1.45 の範囲にすると良い。ここで、温度依存抵抗素子の温度係数とは、温度が 10℃下がる
と抵抗値が何倍になるかを表す。例えば 80℃の抵抗値を 1 として、70℃の抵抗値が 80℃の抵抗値の 1.25 倍になる場合、温度係数は 1.25 となる。DRAM のメモリセルの温度特性は、一般に温度係数 1.4 程度である。高温領域では、温度依存抵抗素子 118 の温度係数を 1.35～1.45 の範囲に設定すれば、温度非依存抵抗素子 120 の抵抗値の影響により、抵抗並列回路 132 の抵抗値の温度係数は、およそ 1.25～1.35 の範囲になる。よって、DRAM の温度係数を越えることがないので、温度による抵抗値の変化率、すなわち、発振周期の変化率が、DRAM の温度特性に適した変化率となる。低温領域では、発振周期は温度非依存抵抗素子の抵抗値による影響を大きく受けるので、抵抗並列回路 132 の抵抗値の変化率は小さくなり、徐々に最大値へ近づく。よって、さらに低温になっても発振周期が長くなり続けることはない。

【0061】

図 3 は、この発振回路 100 の発振周期と温度の関係を表した温度特性のグラフである。

【0062】

横軸は温度（単位：℃）を表し、縦軸は 80℃の発振周期を 1 とした場合の相対値の対数値を表している。

【0063】

グラフ（A）は、この発振回路 100 の発振周期の温度特性を示す。

【0064】

高温領域、すなわち 80℃付近では、発振周期は温度に依存し、高温になるほど周期が短くなり、温度依存抵抗素子のみを用いた回路の発振周期のグラフ（B）（漸近線 1 ともいう。）に近い変化を示す。低温になるにつれ、温度変化に対する周期の変化率は 0 に近づき、一定の値に収束していく。この一定の値をここでは発振周期の最大値と呼び、グラフ（C）（漸近線 2 ともいう。）で示している。グラフ（D）は、DRAM のメモリセルの放電特性により必要とされるリフレッシュ周期の温度特性を示す。

【0065】

DRAMのメモリセルの放電特性は、10℃温度が上がると約1.4倍になることが知られている。このことから、DRAMのメモリセルの放電特性により必要とされるリフレッシュ周期の温度特性のグラフ(D)の傾きは、それよりも少し小さい1.25～1.35の範囲にするのが良い。そのため、並列接続される温度非依存抵抗素子120の抵抗値との関係から、温度依存抵抗素子118の抵抗値 R_1 の温度による変化率は、10℃当たり1.35～1.45の範囲に設定する。これが、漸近線1の傾きに相当する。また、温度非依存抵抗素子の抵抗値 R_2 は、温度依存抵抗素子の高温領域（例えばここでは80℃とする。）での抵抗値の約10倍～20倍に設定する。このように設定すると、この発振回路100の発振周期の温度特性のグラフ(A)の傾きが、80℃付近では1.25～1.35程度になる。また、0℃での発振周期が、80℃での発振周期の約5～10倍程度となっている。発振回路100の発振周期は、温度が変化しても、メモリセルに必要とされるリフレッシュ周期より常に小さく、且つ、必要とされるリフレッシュ周期の範囲内でできるかぎり大きくとることができる。必要範囲内で大きい周期をとることができるため、DRAMのリフレッシュに要する消費電力を抑えることができる。

【0066】

この温度特性のグラフからも明らかなように、高温領域では温度が高くなるほど発振周期が短くなる。また、低温領域では、温度が低くなるほど発振周期は長くなるが、その変化率は小さくなり、一定の値すなわち最大値へ近づいていく。セルフモードでのメモリテストは、この一定の値、すなわち、この発振回路100の最大周期まで行えば良いことになる。

【0067】

第1の実施の形態の発振回路によれば、発振周期は、温度が高いほど短く、温度が低いほど長くなる。また、温度が低いほど発振周期は長くなるが、低温になるほど温度による発振周期の変化率が小さくなり最大値へと収束する温度特性を持つ発振回路を提供できる。

【0068】

[第2の実施の形態]

図4～6を参照してこの発明の第2の実施の形態について説明する。

【0069】

第1の実施の形態の発振回路100では、低温になるとある一定の値（この値を発振回路100の発振周期の最大値ともいう。）に発振周期が近づいていくので、発振周期はその値以上に長くなることはない。しかしながら、通常の使用温度（0℃～80℃）で必要な発振周期の変化幅（通常は、発振周期の変化3～4倍をとろうとすると、発振周期の最大値を大きく設定しなければならないことがあり、その場合、0℃では発振周期が最大値に達していないので、さらに低い温度でのメモリテストをする必要がある。0℃以下の温度での試験では、空気中の水分の氷結等を防ぐために、高価な装置が必要になる。

【0070】

また、メモリテストによって、冗長セルに置き換えるメモリセルを少なくし、歩留まりを向上させるためにも0℃より高い温度で発振周期の最大値が設定できることが望ましい。

【0071】

このような場合には、発振周期が0℃以上で最大値になるようにするために、温度特性の異なる遅延回路を具えたインバータを並列に接続して、発振回路に組み込むと良い。

【0072】

図4は、第2の実施の形態の回路図である。

【0073】

この第2の実施の形態の発振回路138は、第1の実施の形態とは、初段のCMOSインバータの回路構成と、2段目のCMOSインバータの構成とが異なるが、その他の構成は実質的に同一であるので、主として異なる構成点につき説明する。

【0074】

発振回路138は、2つの並列接続された第1サブCMOSインバータ142及び第2サブCMOSインバータ160で構成された初段のインバータ140と

、中段の3個のインバータ104a、106及び108と、終段のインバータ110とを順次リング状に直列接続させて構成してある。尚、以下の説明において、サブCMOSインバータを単にサブインバータとも称する。ここでは、中段のインバータ104aは、第1サブインバータ142と第2サブインバータ160の出力のうち、先に変化した信号によってインバータの出力を決定するために論理ゲートで構成されている。この実施の形態では、NAND回路104aで構成されている。NAND回路104aは、第1及び第2入力端子を具え、第1入力端子は、第1サブインバータ142の第1初段出力端子と接続され、及び第2入力端子は、第2サブインバータ160の第2初段出力端子と接続されている。

【0075】

第1サブインバータ142は、第1の実施の形態の場合と同様な、導電型の異なる2個のトランジスタ144及び146の主電流路を直列に接続した第1トランジスタ直列回路154と、この第1トランジスタ直列回路154に接続されていて、第1サブインバータ142の第1初段出力信号に遅延を与える第1遅延回路156を具えている。この第1遅延回路156は、第1抵抗素子である温度依存抵抗素子148と、第1キャパシタ150とで構成されている。この発明では、第1抵抗素子148は、第1サブインバータ142の第1出力ノード157と基準電圧端子との間の、第1トランジスタ直列回路154の電流路中に挿入接続されている。また、第1キャパシタ150は、第1出力ノード157と基準電圧端子との間に接続されている。同様に、第2抵抗素子168は、第2サブインバータ160の第2出力ノード175と基準電圧端子との間の、第2トランジスタ直列回路172の電流路中に挿入接続されている。また、第2キャパシタ170は、第2出力ノード175と基準電圧端子との間に接続されている。

【0076】

図4に示す構成例では、第1サブインバータ142の上述した第1トランジスタ直列回路154は、バイアス電圧(V_{DD})端子と基準電圧(V_{SS})端子例えば大地(GND)との間に接続されている。第1PMOST144の一方の主電極は、 V_{DD} 端子に結合され、第1PMOST144の他方の主電極は、温度依存抵抗素子148を介して第1NMOST146の他方の主電極に結合され、及び、

第1 NMOST 146 の一方の主電極は、 V_{SS} 端子に結合されている。第1 PMOST 144 及び第1 NMOST 146 は、それぞれのゲート電極を接続点（ノード）152 で共通接続されている。温度依存抵抗素子148 は、第1 PMOST 144 の他方の主電極であるドレイン電極と第1 NMOST 146 の他方の主電極であるドレイン電極の間に接続される。第1 キャパシタ150 は、第1 PMOST 144 のドレイン電極と基準電圧（ V_{SS} ）端子との間に接続される。この第1 サブインバータ142 の第1 初段出力端子は第1 PMOST 144 のドレイン電極、第1 抵抗素子148 及び第1 キャパシタ150 の接合点（第1 出力ノードと称する。）157 である。

【0077】

第2 サブインバータ160 は、第1 サブインバータ142 と同様の構成となっているが、第2 抵抗素子168 を温度非依存抵抗素子とした点異なる。この第2 サブインバータ160 は、導電型の異なる2 個のトランジスタ164 及び166 の主電流路を直列に接続した第2 トランジスタ直列回路172 と、この第2 トランジスタ直列回路172 に接続されていて、第2 サブインバータ160 の第2 初段出力信号に遅延を与える第2 遅延回路174 を具えている。この第2 遅延回路174 は、第2 抵抗素子である温度非依存抵抗素子168 と、第2 キャパシタ170 とで構成されている。

【0078】

第2 サブインバータ160 の上述した第2 トランジスタ直列回路172 は、バイアス電圧（ V_{DD} ）端子と基準電圧（ V_{SS} ）端子例えば大地（GND）との間に接続されている。第2 PMOST 164 の一方の主電極は、 V_{DD} 端子に結合され、第2 PMOST 164 の他方の主電極は、温度非依存抵抗素子168 を介して第2 NMOST 166 の他方の主電極に結合され、及び、第2 NMOST 166 の一方の主電極は、 V_{SS} 端子に結合されている。第2 PMOST 164 及び第2 NMOST 166 は、それぞれのゲート電極を接合点（ノード）162 で共通接続されている。温度非依存抵抗素子168 は、第2 PMOST 164 の他方の主電極であるドレイン電極と第2 NMOST 166 の他方の主電極であるドレイン電極の間に接続される。第2 キャパシタ170 は、第2 PMOST 164 のドレ

イン電極と V_{SS} 端子との間に接続される。この第2サブインバータ160の第2初段出力端子は第2PMOST164のドレイン電極、第2抵抗素子168及び第2キャパシタ170の接合点（第2出力ノードと称する。）175である。

【0079】

この発振回路138の動作は、第1の実施の形態の発振回路100とはほぼ同様である。以下の説明では、2値の“1”に相当するハイレベルは電圧 V_{DD} で表され、及び、2値の“0”に相当するローレベルは電圧 V_{SS} （この実施の形態では接地されているので $V_{SS}=0V$ 。である）で表されている。

【0080】

入力信号 S_T としてハイレベルの信号がNAND回路110の第2入力端子に入力されると、NAND回路110からはローレベルの信号 d_5 が出力され、ノード152及び162にローレベルの信号が伝わるので第1及び第2PMOST144及び164の制御電極と、第1及び第2NMOST146及び166の制御電極とにローレベルの信号が入力される。これにより、第1及び第2PMOST144及び164がオンとなり、かつ第1及び第2NMOST146及び166がオフとなって、第1及び第2キャパシタ150及び170に電荷が蓄積される。同時に第1及び第2サブインバータ142及び160からは、ともにハイレベルの第1及び第2初段出力信号 d_{11} 及び d_{12} がインバータ104aに送られ、インバータ104aからローレベルの信号 d_2 が出力され、インバータ106及び108によって、ハイレベル及びローレベルの出力信号 d_3 及び d_4 に順に変換され、ノード112からローレベルの信号 d_4 が外部へ出力される。同時に、NAND回路110の第1入力端子にローレベルの信号が入力される。NAND回路110は、 S_T がハイレベルの状態では、インバータと同じ働きをするので、常に入力された信号と逆の信号（ハイレベルならローレベル、ローレベルならハイレベル）が出力される。よって、ここではNAND回路110から、ハイレベルの信号 d_5 が出力される。NAND回路110からハイレベルの信号 d_5 が第1及び第2PMOST144及び164と第1及び第2NMOST146及び166の制御電極に入力される。これにより、第1及び第2PMOST144及び164がオフとなり、かつ第1及び第2NMOST146及び166がオンとなっ

て、第1及び第2キャパシタ150及び170に蓄積されていた電荷が徐々に放出される。先に放電してローレベルを出力した第1サブインバータ142或いは第2サブインバータ160の出力信号 d_{11} 或いは d_{12} によってNAND回路104aはハイレベルの信号 d_2 を出力する。NAND回路104aからハイレベルの信号 d_2 が出力されると、インバータ106、108によってローレベル、ハイレベルの出力信号 d_3 、 d_4 に順次変換され、出力ノード112からハイレベルの信号 d_4 が外部へ出力される。同時に、NAND回路110の第1入力端子にハイレベルの信号 d_4 が入力される。NAND回路110からは、ローレベルの信号 d_5 が出力されるので、上述の動作が繰り返されることにより、ハイレベル信号と、ローレベルの信号が、一定の周期で外部に出力される。

【0081】

図5は発振回路138の動作波形を示す概略図である。(A)は、低温領域、すなわち、第1遅延回路156の第1抵抗素子148の抵抗値が、第2遅延回路174の第2抵抗素子168よりも大きい場合の動作波形を示す。(B)は、高温領域、すなわち、第1遅延回路156の第1抵抗素子148の抵抗値が、第2遅延回路174の第2抵抗素子168よりも小さい場合の動作波形を示す。

【0082】

第1の実施の形態で説明した発振回路100では、初段のインバータ102からインバータ104へ入力される信号は、 d_1 のみであった。第2の実施の形態の発振回路138では第1サブインバータ142及び第2サブインバータ160が並列接続されているので、第1サブインバータ142から出力される第1初段出力信号 d_{11} と第2サブインバータ160から出力される第2初段出力信号 d_{12} の2つがNAND回路104aに入力される。この信号 d_{11} 及び d_{12} のうちどちらか一方がローレベルになると、NAND回路104aはハイレベルの信号 d_2 を出力する。このタイミングが発振回路138の発振周期を決定する。

【0083】

低温領域では、温度依存抵抗素子148の抵抗値が、温度非依存抵抗素子160の抵抗値よりも大きいため、第2サブインバータ160の出力信号 d_{12} が先にハイレベルからローレベルへ達する。よって、出力信号 d_{12} により発振周期は決

定され、第1サブインバータ142の出力信号 d_{11} は、ローレベルに達する前に再びハイレベルとなる。第2サブインバータ160の出力信号 d_{12} によりNAND回路104aは信号 d_2 を出力し、このタイミングでインバータ106及び108の出力信号 d_3 及び d_4 も決定される。よって、時間 t_1 において入力信号 S_T にハイレベルが入力されたとすると、第2サブインバータ160の出力信号 d_{12} がローレベルに達した時刻 t_{2b} までに要した時間が、発振周期 f_b となる。

【0084】

高温領域では、第1サブインバータ142の温度依存抵抗素子148の抵抗値が、第2サブインバータ160の温度非依存抵抗素子168の抵抗値よりも小さいため、第1サブインバータ142の出力信号 d_{11} が先にハイレベルからローレベルへ達する。よって、出力信号 d_{11} により発振周期は決定され、第2サブインバータ160の出力信号 d_{12} はローレベルに達する前に再びハイレベルとなる。第1サブインバータ142の出力信号 d_{11} によりNAND回路104aは信号 d_2 を出力し、このタイミングでインバータ106、108の出力信号 d_3 及び d_4 も決定される。よって、時間 t_1 において入力信号 S_T にハイレベルが入力されたとすると、第1サブインバータ142の出力信号 d_{11} がローレベルに達した時刻 t_{2c} までに要した時間が、発振周期 f_c となる。

【0085】

図6は、発振周期と温度の関係を表した温度特性のグラフである。

【0086】

横軸は温度（単位：℃）を表し、縦軸は80℃の発振周期を1とした場合の相対値の対数値を表している。

【0087】

高温領域では、第1サブインバータ142によって発振周期が決まるので、温度が高くなると発振周期は短くなる。低温領域では、温度依存抵抗素子148の抵抗値が、温度非依存抵抗素子168の抵抗値より大きくなり、第2サブインバータ160によって発振周期が決まるので、一定の発振周期になる。この一定の発振周期が発振周期の最大値となる。温度依存抵抗素子148及び温度非依存抵抗素子168の抵抗値を組み合わせることで、どの温度以下で発振周期を一定の

最大値とするか調整できる。よって、0℃より高い温度で最大値に達するようにしておけば、0℃以下の低温でのメモリテストは不要となる。また、高温領域では、DRAMの温度特性にあわせた周期変化をするように温度依存抵抗素子の抵抗値を決定する。これにより、DRAMの必要とするリフレッシュ周期に適した発振周期に調整できる。

【0088】

第2の実施の形態の発振回路によれば、メモリテストを行う際に、0℃以下にする必要がなくなり、高価な装置を必要としない。また、発振周期の最大値も小さくなるため、メモリテストに要する総試験時間も、少なくすることが出来る。

【0089】

また、通常の使用温度範囲（0℃～80℃）での変化率の大きさを、発振周期の最大値を大きくせず大きくとることが出来る。よって、メモリテストで冗長セルに置き換えられるメモリセルの数を減らすことができ、歩留まりを向上させることができる。

【0090】

[第3の実施の形態]

この発明の第3の実施の形態では、第1発振周期決定回路と第2発振周期決定回路とを含み、これら二つの発振周期決定回路の出力する二つの出力信号のうち、発振周期の短い方の出力信号を最終出力として出力する発振周期決定装置を具えた例につき説明する。

【0091】

温度依存抵抗素子は、温度非依存抵抗素子に比べて、製品ごとのバラツキが多ることが多い。このような場合、発振回路の出力する発振周期を調整する必要がある。温度依存抵抗素子の抵抗値調整方法は、一般的な温度非依存抵抗素子の調整方法と異なる。一般的な抵抗素子、すなわち、温度非依存抵抗素子の抵抗値は、通電する長さによって抵抗値の大きさを調整する。温度依存抵抗素子の抵抗値は、一般的な抵抗素子に比べて、比抵抗が5～7桁大きいので、抵抗素子の長さではなく通電する幅で調整する。この調整をおこなうためには、あらかじめスペアの抵抗素子を複数具えておき、通電するスペアの抵抗素子の数を変える、すな

わち、抵抗素子の幅を調整することで、必要な抵抗値を得る。このように、抵抗素子の抵抗値の大きさだけによって発振周期を調整するためには、スベアの抵抗素子を設置する必要がある。このため、抵抗素子の回路上に占める面積が大きくなり、半導体回路の集積化にとって不利である。

【0092】

そこで、分周回路の回路上の占有面積は、抵抗素子の占有面積に比べて非常に小さくてすむため、発振回路の出力した発振周期を、分周回路によって分周して調整し、所望の発振周期に調整する方法が知られている。例えば、特開平11-185469号公報では、分周回路の周期調整手段として、ヒューズ回路を設け、このヒューズ回路に具えられたヒューズを接続した状態或いは切断した状態で用いることで、分周周期を調節している。この接続状態及び切断状態は、オン及びオフ状態に対応する。

【0093】

しかしながら、例えば、80℃で周期を測定し、80℃で必要とされる最終的な発振周期（発振回路から分周回路を経て最終的に出力される発振周期）になるように調節した分周回路を接続すると、低温（例えば0℃）での最終的な発振周期も一緒に変更されてしまう。

【0094】

そこで、このような場合には発振周期が温度に依存する発振回路と発振周期が温度に依存しない発振回路とを別々に用意して、それぞれに分周回路を接続し、その2つの発振周期決定回路を論理ゲートに接続することで、発振周期の短い出力信号が最終出力信号として出力されるように接続すると良い。この実施の形態ではこの論理ゲートがNAND回路で構成されている。また、この最終出力信号は、この回路全体、すなわち、発振周期決定装置のリセット信号としても用いられる。

【0095】

この実施の形態では、発振周期が温度に依存する第1発振回路と、分周周期調整手段を具えた第1分周回路とを接続した発振周期決定回路を第1発振周期決定回路とする。また、この発明では、発振周期が温度に依存せずほぼ一定な第2発

振回路と、第2分周回路（分周周期調整手段は不要）とを接続した発振周期決定回路を第2発振周期決定回路とする。この発明では、これら二つの発振周期決定回路をNAND回路に接続することにより最終的な出力周期を決定する発振周期決定装置を構成する。そして、この発振周期決定装置の出力を、DRAMのリフレッシュ周期に用いると良い。尚、以下の説明において、発振周期決定回路を単に周期決定回路と称し、また、分周周期調整手段を単に周期調整手段と称する場合がある。

【0096】

図7は、この第3の実施の形態の発振周期決定装置を示す回路図である。

【0097】

温度に依存する発振回路（第1発振回路とする。）212と、第1発振回路212の出力した発振周期を分周して調整する分周回路214とで第1周期決定回路210を構成する。この分周回路214は、分周周期の調整手段を具えており、以下、第1分周回路214と称する。また、温度に依存しない発振回路（第2発振回路とする。）222と、発振回路222の出力した発振周期を分周する分周回路224とで第2周期決定回路220を構成する。この分周回路224は、分周周期の調整手段を具えておらず、以下、第2分周回路224と称する。第2分周回路224に対して、調整手段を具えていないのは、発振回路222の温度非依存抵抗素子の製造バラツキが少ないので、特に具える必要が無いためである。

【0098】

この二つの周期決定回路の出力を比較して、出力される周期の短い方を出力する回路、例えばここではNAND回路230の第1及び第2入力端子に、それぞれ、周期決定回路210及び220を接続する。NAND回路230の出力信号はインバータ232へ入力される。それと同時に、外部出力され、DRAMのセルフリフレッシュ周期に利用される。NAND回路234の第1入力端子には、インバータ232の出力信号が入力される。NAND回路234の第2入力端子には、外部入力端子が接続されている。NAND回路234の外部端子に発振周期決定装置200のオン、オフを制御するための入力信号SRFPDが入力され

る。入力信号 S R F P D がハイレベルのとき、この発振周期決定装置 2 0 0 はオンとなる。N A N D 回路 2 3 4 の出力信号は、インバータ 2 3 6 へ接続され、インバータ 2 3 6 の出力信号が、リセット信号 N 2 4 0 として、第 1 発振回路 2 1 2、第 1 分周回路 2 1 4、第 2 発振回路 2 2 2 及び第 2 分周回路 2 2 4 に接続されている。外部からの 2 つの入力信号 E N 1 及び E N 2 は第 1 及び第 2 発振回路 2 1 2 及び 2 2 2 にバイアス電圧 V_{DD} を入力している。

【0 0 9 9】

図 8 は、第 3 の実施の形態の温度に依存する発振回路（第 1 発振回路）の回路図の例である。

【0 1 0 0】

第 1 発振回路 2 1 2 は、初段のインバータ 2 5 0 と、中段の 3 個のインバータ 1 0 4、1 0 6 及び 1 0 8 と、終段のインバータ 1 1 0 a とを順次リング状に直列接続させて構成してある。ここでは、インバータ 2 4 2 及び 2 4 4 を、終段のインバータである N A N D 回路 1 1 0 a とインバータ 2 5 0 との間に接続している。この 2 つのインバータ 2 4 2 及び 2 4 4 は、バッファ回路として接続しているが、インバータの総数が奇数個リング状に直列接続されていれば（この場合は 7 個）、リング発振回路として動作するので、設計上、必須ではない。

【0 1 0 1】

この第 1 発振回路 2 1 2 を外部と接続するために、終段のインバータ 1 1 0 a は、第 1、第 2 及び第 3 入力端子を具える N A N D 回路で構成されている。第 1 入力端子は、前段のインバータ 1 0 8 の出力端子に接続されている。N A N D 回路 1 1 0 a の第 2 入力端子には、外部入力信号 E N 1 が入力され、第 3 入力端子には、リセット信号 N 2 4 0 が入力される。信号 E N 1 としてハイレベルの信号が入力されていると、この状態で第 1 発振回路 2 1 2 はオンの状態になっている。リセット信号 N 2 4 0 としてハイレベルの信号が入力されると、N A N D 回路 1 1 0 a からは、ローレベルの信号が出力される。これによって、第 1 発振回路 2 1 2 がリセットされる。

【0 1 0 2】

初段のインバータ 2 5 0 は、図 4 を参照して説明した、第 2 の実施の形態の第

1 サブCMOSインバータ142と同等の回路構成となっている。すなわち、この初段のインバータ250は、導電型の異なる2個のトランジスタ114及び116の主電流路を直列に接続した第1トランジスタ直列回路247と、この第1トランジスタ直列回路247に接続されていて、インバータ250の出力信号に遅延を与える第1遅延回路249とを具えている。この第1遅延回路249は、第1抵抗素子としての温度依存抵抗素子118と、第1キャパシタ122とで構成されている。

【0103】

ここで、初段のインバータ250の構成要素と、第1サブCMOSインバータ142の構成要素との対応関係は、次の通りである。第1PMOST114は同144に対応し、第1NMOST116は、同146に対応し、第1トランジスタ直列回路247は、同154に対応し、第1抵抗素子118は、同148に対応し、第1キャパシタ122は、同150に対応し、第1遅延回路249は、同156に対応し、及び第1出力ノード257は、同157に対応している。従って、この初段のインバータ250の回路構成及び動作については、図4に示す第1サブCMOSインバータ142と同様であるので、同一部分については、詳細な説明を省略する。

【0104】

インバータ108の出力信号がインバータ246へ出力され、インバータ246の出力信号が発振信号OSC1として出力され、インバータ246と接続されたインバータ248によって発振信号OSC1とは反転した反転発振信号OSC1bが出力される。NAND回路110aの第2入力端子には、信号EN1として常にV_{DD}信号が入力され、及び第3入力端子には、リセット信号N240が入力される。

【0105】

この第1発振回路212では、温度依存抵抗素子118を具えた第1遅延回路249によって出力する発振周期が変化する。高温では、温度依存抵抗素子118の抵抗値が小さくなるので、発振周期は短くなり、低温では、温度依存抵抗素子118の抵抗値が大きくなるので、発振周期は長くなる。

【0106】

図9は、第3の実施の形態の温度に依存しない発振回路（第2発振回路）の回路図の例である。

【0107】

図9に示す第2発振回路222と図8の第1発振回路212との回路構成の違いは、第2遅延回路253に、第2抵抗素子として温度非依存抵抗素子120を用いていることであり、その他の回路構成は同じである。

【0108】

また、図9に示す第2発振回路222を構成する初段のインバータ252は、図4を参照して説明した第2の実施の形態の第2サブCMOSインバータ160と同等の回路構成となっている。この初段のインバータ252の構成要素と、第2サブCMOSインバータ160の構成要素との対応関係は、次の通りである。第2PMOST114は、同164に対応し、第2NMOST116は、同166に対応し、第2トランジスタ直列回路251は、同172に対応し、第2抵抗素子120は、同168に対応し、第2キャパシタ122は、同170に対応し、第2遅延回路253は、同174に対応し、及び第2出力ノード275は、同175に対応している。従って、初段のインバータ252及び第2発振回路222のそれぞれの回路構成及び動作については、図4に示す第2サブCMOSインバータ160、及び初段のインバータ252の構成要素を除いた図8に示す第1発振回路212と同様であるので、同一の部分については、その詳細な説明を省略する。

【0109】

図9に示す第2発振回路においては、温度非依存抵抗素子120の抵抗値がほぼ一定であるので、初段のインバータ252の出力も温度によって変化せず、ほぼ一定である。よって、第2発振回路222の出力信号すなわち発振信号OSC2及びOSC2bは、温度によって変化せず、ほぼ一定の周期を出力する。

【0110】

図10は第3の実施の形態の第1分周回路214の構成例を示す回路図である。この第1分周回路214では、2分周回路256を8個接続している。ヒュー

ズ回路 254 は、この第 1 分周回路 214 の分周周期の調整手段である。各 2 分周回路 256 の出力信号を、このヒューズ回路 254 からの信号 $F_0 \sim F_7$ (代表して F_X で示す。) とそれぞれ比較し、その出力を NAND 回路及び NOR 回路で選択することで、分周周期を決定し、よって第 1 分周回路 214 から、調整された発振周期の発振信号 OSCA1b が出力される。

【0111】

以下、図 10 に示す第 1 分周回路の一回路構成例につき簡単に説明する。

【0112】

この第 1 分周回路 214 は、互いに反転した信号である OSC1 と OSC1b とが入力される入力端子と、リセット信号 N240 が入力される入力端子を具えると共に、調整済みの発振周期の発振信号 OSCA1b を出力する出力端子を具えている。各 2 分周回路 256 は、それぞれ、反転関係にある入力信号が入力される 2 つの入力端子 CLK 及び CLKb と、反転関係にある出力信号を出力する 2 つの出力端子 Q 及び Qb と、2 分周回路をリセットするリセット端子 R とを具えている。8 個の 2 分周回路 256 は、初段から終段まで直列に接続されている。初段の 2 分周回路 256 の入力端子 CLK 及び CLKb には、それぞれ信号 OSC1 及び OSC1b が入力される。前段の出力端子 Q 及び Qb は、それぞれ次段の入力端子 CLK 及び CLKb に接続されている。

【0113】

各 2 分周回路 256 に対応して、1 個ずつ切換回路 258a ~ 258h が設けられている。各切換回路 258a ~ 258h は、対応する分周回路 256 の出力端子 Q 及び Qb と接続された、2 つの入力端子 Q 及び Qb と、ヒューズ回路 254 から分周周期を調整するための調整信号 F_X が入力される入力端子 F と、1 つの出力端子とを具えている。この調整信号 F_X は、各切換回路 258a ~ 258h に対応した値の信号 $F_0 \sim F_7$ からなっている。また、図 10 では、ヒューズ回路と各切換回路は、共通の接続として示しているが、実際には各信号 $F_0 \sim F_7$ は、対応した切換回路 258a ~ 258h に、それぞれ入力されるように、ヒューズ回路 254 と各切換回路 258a ~ 258h とが個別に接続されている。各切換回路 258a ~ 258h は、周期調整信号 F_X と分周回路 256 の出力信号 Q

及びQ bとのタイミング関係で、出力信号Q及びQ bが出力される。順次2つの切換回路2 5 8 aと2 5 8 b、2 5 8 cと2 5 8 d、2 5 8 eと2 5 8 f、及び2 5 8 gと2 5 8 hの出力端子は、それぞれ、NAND回路2 6 0、2 6 2、2 6 4及び2 6 6の2つの入力端子に接続されている。順次の2つのNAND回路2 6 0と2 6 2、及び2 6 4と2 6 6の各出力端子は、それぞれ、NOR回路2 6 8及び2 7 0の2つの入力端子に接続されている。これらNOR回路2 6 8及び2 7 0の出力端子は、それぞれ、NAND回路2 7 2の2つの入力端子に接続されている。

【0 1 1 4】

NAND回路2 7 2の出力端子は、順次に直列に接続されたインバータ2 7 6、2 7 8、2 8 0及び2 8 2を経て、信号OSCA 1 bが出力される端子に接続されると共に、NAND回路2 7 4の一方の入力端子に接続されている。NAND回路2 7 4の他方の入力端子には、リセット信号N 2 4 0が入力されるように接続されている。

【0 1 1 5】

NAND回路2 7 4の出力端子は、順次に直列に接続されたインバータ2 8 4及び2 8 6を経て、各分周回路のリセット端子Rに共通に接続されている。

【0 1 1 6】

上述したインバータ2 7 6、2 7 8、2 8 0、2 8 2、2 8 4及び2 8 6は、バッファ回路であり、設計上適宜設置すれば良い。NAND回路2 7 4はリセット信号N 2 4 0を入力するために設置され、このリセット信号N 2 4 0により分周回路2 1 4がリセットされる。

【0 1 1 7】

図1 1は、第1分周回路2 1 4の切換回路の一構成例を示す回路図である。

【0 1 1 8】

この切換回路2 5 8 a～2 5 8 hは、同一の回路構成を具えているので、共通の切換回路2 5 8として説明する。この切換回路2 5 8では、PMOST 2 9 2とNMOST 2 9 4が並列に接続され、同様にPMOST 2 9 6とNMOST 2 9 8が並列に接続されている。PMOST 2 9 2及びNMOST 2 9 8のゲート

電極は、入力端子F及びインバータ290の入力端子に共通に接続されている。NMOST294及びPMOST296のゲート電極は、インバータ290の出力端子に共通に接続されている。PMOST292及びNMOST294の並列接続された主電流路は、切換回路258の出力端子OUT（すなわち接続点（ノード）299）と、入力端子Qbとの間に接続されている。PMOST296及びNMOST298の並列接続された主電流路は、出力端子OUTと、入力端子Qとの間に接続されている。

【0119】

入力端子Q及びQbからは、2分周回路256からの出力信号Q及びQbがそれぞれ入力される。ヒューズ回路254からの入力信号F₀～F₇が入力端子Fから入力されると、切換回路258からQ或いはQbのどちらか一方の信号が出力される。ヒューズ回路254からの信号F₀～F₇は、各切換回路258a～258hで異なった値が入力される。例えば、信号F₀は切換回路258aに、信号F₁は切換回路258bにと順次入力される。よって、ヒューズ回路254の信号F₀～F₇によって、この分周回路214の分周周期は決定される。

【0120】

図12は第2分周回路224の一構成例を示す回路図である。

【0121】

この第2分周回路224は、2分周回路256を6つ接続することにより、2の6乗すなわち64分周した発振周期を出力する。この分周回路224は、互いに反転関係にある発振信号OSC2及びOSC2bの2つの入力端子とリセット信号N240用の入力端子と、互いに反転関係にある発振信号OSCA2及びOSCA2bを出力する2つの出力端子を具えている。さらにこの2分周回路224では、6つの2分周回路256が、第1分周回路214の場合と同様にして、直列に接続されている。また、第2分周回路224の2分周回路256の回路構成は、第1分周回路214の2分周回路256と同一の回路構成となっている。この第2分周回路224では、リセット信号N240用のリセット入力端子は、インバータ288を経て、各2分周回路256のリセット端子Rに共通に接続されている。第2分周回路224の初段の2分周回路256の入力端子CLK及び

CLK b は、それぞれ入力端子 OSC 2 及び OSC 2 b に接続されていて、終段の 2 分周回路 256 の出力端子 Q 及び Q b は、それぞれ出力端子 OSCA 2 及び OSCA 2 b に接続されている。そして、前段の 2 分周回路の出力端子 Q 及び Q b は、それぞれ、次段の入力端子 CLK 及び CLK b に接続されている。

【0122】

第 2 発振回路 222 から出力された発振信号 OSC 2 および OSC 2 b が第 2 分周回路 224 に入力されると、各 2 分周回路 256 によって 2 倍周期で出力されるため、6 つの 2 分周回路を経由して 64 分周される。第 2 分周回路 224 の出力信号としての発振信号 OSCA 2 及び OSCA 2 b は、入力発振信号 OSC 2 及び OSC 2 b の 64 倍周期になる。第 2 分周回路 224 は、リセット N240 によってリセットされる。

【0123】

図 13 はこの発振周期決定装置 200 の動作波形の概略図である。

【0124】

入力端子 SRFPD にハイレベルの信号を入力することで、発振周期が温度に依存する発振回路 212、発振周期が温度に依存しない発振回路 222、分周回路 214 及び分周回路 224 にリセット信号 N240 が入力される。d1a～d4a は、順に発振回路 212 の遅延回路 249、インバータ 104、106 及び 108 の出力信号である。N238 は、2 つの周期決定回路が接続された NAND 回路 230 の出力信号を表す。OSC 1 は発振回路 212 の出力信号、OSC 2 は発振回路 222 の出力信号である。OSCA 1 b は分周回路 214 の出力信号、OSCA 2 b は分周回路 224 の出力である。OSCA 12 は、NAND 回路 230 の出力をインバータ 232 へ入力したインバータ 232 の出力信号である。N240 は信号 SRFPD と OSCA 12 が入力された NAND 回路 234 の出力信号をインバータ 236 で反転させた出力信号で、リセット信号として用いている。

【0125】

この動作波形図では、高温領域で温度依存抵抗素子 118 を具えた発振回路の方が発振周期が短い場合を示している。また、図を分かりやすくするために、ヒ

ューズの調節により分周回路 214 の分周周期が 9 分周と短い設定にしてある。

【0126】

時刻 t_1 で信号 SRFPD がハイレベルになると、信号 d_{1a} 、 d_{3a} がハイレベル、信号 d_{2a} 、 d_{4a} がローレベルになる。そして第 1 キャパシタ 122 の電荷が徐々に放電されローレベルになることにより、 d_{2a} 、 d_{3a} 及び d_{4a} の信号が反転する。これが繰り返されることによって、発振周期を出力する。

【0127】

時刻 t_{OS1} で信号 d_{1a} がローレベルに達したとすると、それまでに要した時間 f_1 がこの第 1 発振回路 212 の発振周期になる。この発振周期が発振信号 OSC1 として第 1 分周回路 214 に入力される。第 1 分周回路 214 は 9 分周するので、時刻 t_1 から t_{OS1} に要した時間の 9 倍の時間 t_{2d} で最初のローレベル信号が現れ、 f_1 の 9 倍の周期 f_d で信号 OSCA1b は出力する。この図 13 に示す例では、第 2 発振回路 222 の出力信号 OSC2 は、信号 OSC1 の約 7.3 倍の発振周期であり、第 2 分周回路 224 によって 64 分周されているので、図 13 に示した範囲では、OSCA2b はハイレベルのまま一度も変化していない。この信号 OSCA1b と OSCA2b のうちどちらか早いタイミングでローレベルになった方の信号によって、信号 N238 が出力されるので、この信号 N238 は、時刻 t_{2d} でハイレベルの信号となる。この信号 N238 を外部へ出力することで、最終的に決定した周期として出力される。信号 N238 はインバータによって信号 OSCA12 に変換され、この信号 OSCA12 と信号 SRFPD によって信号 N240 が出力され、リセット信号として用いられる。

【0128】

低温では、第 1 周期決定回路 210 からの出力信号 OSCA1b の出力周期が、第 2 周期決定回路 220 からの出力信号 OSCA2b の出力周期より長くなるので、第 2 周期決定回路 220 の出力信号 OSCA2b によって、N238 の周期が決まる。よって、第 2 の実施の形態と同様な温度と発振周期の関係となる。

【0129】

第 3 の実施の形態では、第 1 周期決定回路を、第 1 発振回路と第 1 分周回路で構成し、第 2 周期決定回路を、第 2 発振回路と第 2 分周回路で構成した。しかし

ながら、所望の発振周期が得られる場合には、分周回路を接続せず、発振回路のみで周期決定回路を構成しても良い。すなわち、温度依存抵抗素子の製造バラツキが小さく、調整手段によって発振周期を調整する必要がない場合には、第1発振回路のみで第1周期決定回路を構成できる。また、温度非依存抵抗素子は、製造バラツキが基本的に小さいので、調整手段を必要とせず第2発振回路のみで第2周期決定回路を構成できる場合が多い。このように、第1分周回路及び第2分周回路は、温度依存抵抗素子及び温度非依存抵抗素子の製造バラツキの度合いによって、適宜設置する。各周期決定回路に分周回路が設置されない場合には、各発振回路を直接論理ゲート（第3の実施の形態ではNAND回路）へ接続する。このように構成された発振周期決定装置でも、この場合は温度依存抵抗素子のバラツキがないので、上述の第3の実施の形態と同様の発振周期の温度特性が得られる。

【0130】

第3の実施の形態の発振回路は、第1の実施の形態の発振回路と比べて、発振回路が2つになることから、消費電力が大きくなると考えられる。しかしながら、電力の消費は、発振回路のキャパシタの充放電と分周回路のスウィッチングが主であるので、消費電力は発振周期が長くなるにつれて小さくなり、2つの発振回路のうち発振周期の長い方の発振回路は、電力をあまり消費しない。また、温度非依存の発振回路に対して分周回路を付加した場合には、スペアの温度非依存抵抗素子が不要になるため、抵抗素子の占有面積を小さくすることができる。

【0131】

上述の各実施の形態では、CMOSインバータは、電源電圧端子と基準電圧端子との間に、PMOSトランジスタ及びNMOSトランジスタを含むトランジスタ直列回路が、直接接続されている例について示した。しかしながら、この発明はこのような構成に限定されるものではなく、電源電圧端子とPMOSトランジスタとの間に、他の能動的または受動的な回路または素子を介して接続されていても良い。例えば、MOSトランジスタ、抵抗素子などを介して接続されていても良い。すなわち、この発明の目的を達成するのを妨げない場合には、他の素子或いは回路を介して接続されても良い。また、同様に、遅延回路の抵抗並列回路

と出力ノードとの間に、他の能動的或いは受動的な回路または素子が接続されていても良い。例えば、遅延回路の抵抗並列回路と出力ノードとの間に、他の能動的或いは受動的な回路または素子が接続されていても良い。

【0132】

[温度に依存する抵抗素子の製造方法]

以下に、本発明に用いる温度に依存する抵抗素子の製造方法の例について説明する。なお、図14、15、18、19、20及び21中、各構成成分の寸法、形状及び配置関係は、この製造例が理解できる程度に概略的に示してあるにすぎない。また、以下に述べる使用材料、膜厚、注入エネルギーその他の数値的条件は、この製造例の範囲内の一例にすぎない。また、各図において、同様の構成成分については、同一の番号を付し、その重複する説明を省略することもある。また、断面を表すハッチング等については、一部省略して示している。

【0133】

<温度依存抵抗素子の第1の製造例>

この製造例では、第2層間絶縁膜316上に温度依存抵抗素子318aを形成する方法を説明する。

【0134】

図14及び図15は、第1の製造工程説明図で、半導体集積回路を製造する工程中の抵抗素子を形成する主な工程での試料の様子を、切り口の断面図で示してある。ただし、第1層間絶縁膜300の形成が済んだ状態から示してあり、半導体基板の図示等は省略してある。

【0135】

図14(A)は、第1層間絶縁膜300上に、キャパシタ314の形成が済んだ状態を示してあり、半導体基板の図示等は省略してある。

【0136】

キャパシタ314は、第1層間絶縁膜300に形成されたスルーホール302に形成された配線層304と、配線層304に接した第1層間絶縁膜上に形成された導電層306とを具えている。この配線層304と導電層306とによりストレージノード(下部電極)308を形成している。導電層306の第1層間絶

縁膜に接していない側の表面は、キャパシタ絶縁膜 310 で覆われている。キャパシタ絶縁膜 310 の上部にセルプレート（上部電極）312 が形成されている。このようにしてキャパシタ 314 は、ストレージノード 308、キャパシタ絶縁膜 310 及びセルプレート 312 により構成されている。

【0137】

次に、第2層間絶縁膜 316 を形成する。第2層間絶縁膜は、次の工程で形成するポリシリコン膜にイオン注入する不純物によって、適宜選択する。この製造例では、例えば、 BF_2 等のボロンを注入するので、イオン注入した不純物が第2層間絶縁膜に拡散しないように、ノンドープの酸化膜の上に BPSG（ボロンリンガラス）膜を積層して形成する。また、P（リン）をイオン注入する場合には、第2層間絶縁膜に BPSG 膜を用いるとイオン注入されたポリシリコンにリンが拡散して濃度が変化してしまう。よって、ノンドープの酸化膜或いは窒化膜を形成する。

【0138】

形成した第2層間絶縁膜 316 を、例えば CMP（Chemical Mechanical Polish：化学的機械的研磨）或いはエッチバックによって平坦化する（図 14（B））。

【0139】

次に、ノンドープのポリシリコン膜 318 を、例えば、CVD 法により厚さ 50～400 nm で形成する（図 14（C））。このポリシリコン膜 318 に対して、例えば、 BF_2 をエネルギー 20 keV～80 keV、ドーズ量 $1\text{E}13\sim 1\text{E}14\text{ cm}^{-2}$ でイオン注入する。

【0140】

イオン注入する不純物は、一例として BF_2 を記載したが、これに限定されず、他の P 型不純物でも良い。また、N 型不純物でも良い。N 型不純物としては、P（リン）をエネルギー 20 keV～80 keV、ドーズ量 $1\text{E}13\sim 5\text{E}14$ でイオン注入する例が考えられる。

【0141】

公知のホトリソ・エッチングによりパターンニングを行う（図 15（A））。こ

の時、パターンニングされたポリシリコン膜の部分が温度によって抵抗値の変化する抵抗素子、すなわち、温度依存抵抗素子 318a となる。

【0142】

その後、第3層間絶縁膜 320 を形成する。第3層間絶縁膜 320 は、第2層間絶縁膜と同様に、BPSG 膜で形成する。ポリシリコン膜 318 への不純物のイオン注入が P (リン) の場合には、ノンドープの酸化膜或いは窒化膜を CVD 法により形成すると良い。

【0143】

形成した第3層間絶縁膜 320 のアニール処理を $750^{\circ}\text{C} \sim 950^{\circ}\text{C}$ で 10 分から 60 分程度行う（通常は、15 分から 30 分程度が好適である。）。次いで、CMP 或いはエッチバックによって平坦化を行う（図 15 (B)）。

【0144】

その後、ホトリソ・エッチングによりコンタクトホールを開口し、配線層となるメタルをスパッタリング或いは CVD 法で形成する。次いで、ホトリソ・エッチングによるパターンニングを行い、温度依存抵抗素子と導通する配線層を形成する（図は省略）。

【0145】

このようにして、第2層間絶縁膜上に不純物を注入したポリシリコン膜によって温度依存抵抗素子 318a が形成される。

【0146】

図 16 は、この抵抗素子の抵抗値と温度との関係を示したグラフである。

【0147】

縦軸は、シート抵抗値 R （単位： $\text{M}\Omega$ ）の自然対数の値を示している。横軸は、絶対温度 T （単位： K ）の逆数を示し、 $1/1000$ スケールで目盛りを表示している。例えば 50°C のとき、絶対温度は 323K であるから、 $1/T$ は約 3.1×10^{-3} となる。ここで、シート抵抗値とは、 $1\mu\text{m}$ 四方の抵抗体の抵抗値を表す。

【0148】

(A) ～ (F) は、ポリシリコン膜に対する BF_2 の各ドーズ量でのシート抵

抗の温度変化を示している。BF₂のドーズ量は、(A) : 1E15、(B) : 5E14、(C) : 3E14、(D) : 1E14、(E) : 5E13及び(F) : 1E13である。(A) ~ (C)では、温度が変化しても、シート抵抗値の大きさにほとんど変化が無く、グラフは横軸に平行な直線になっている。つまり、温度による抵抗値の変化はほとんどない。また、シート抵抗値もおおよそその値が (A) : 0.015MΩ、(B) : 0.035MΩ、(C) : 0.082MΩであり、非常に抵抗値が小さい。(D)では、シート抵抗値は約100℃(横軸のメモリで2.68)で約1.0MΩ、30℃(横軸のメモリで3.33)で約1.3MΩとなっており、右上がりのほぼ直線になっている。(E)では、シート抵抗値は約100℃(横軸のメモリで2.68)で約8.3MΩ、30℃(横軸のメモリで3.33)で約24MΩとなっており、右上がりのほぼ直線になっている。(F)では、シート抵抗値は約100℃(横軸のメモリで2.68)で約1670MΩ、30℃(横軸のメモリで3.33)で約3470MΩとなっており、右上がりのほぼ直線になっている。(D)から(F)のグラフでは、1/Tが小さく、すなわち、絶対温度Tが高いとシート抵抗値は小さくなり、1/Tが大きく、すなわち、絶対温度Tが低いとシート抵抗値は大きくなる。また、(D)、(E)、(F)の順に直線の傾きは大きくなっている。また、各温度でのシート抵抗値は、ドーズ量が少ないほど大きくなっている。グラフでは示していないが、BF₂のドーズ量をさらに小さくすると、各温度での抵抗値は大きくなりここでの測定範囲を超えてしまい、抵抗値の増加率すなわち直線の傾きも大きくなっていく。さらに、不純物のドーパ量のばらつきも大きくなるので、所望の抵抗値を得ることが難しくなる。

【0149】

このことから、ポリシリコン膜に対するBF₂のドーズ量が1E13~1E14の範囲では、温度が高いほどシート抵抗値は小さく、温度が低いほどシート抵抗値は大きくなる抵抗素子、すなわち、温度依存抵抗素子となっていることがわかる。また、ドーパ量を調節することで、所望の抵抗値を持つ温度に依存する抵抗素子が得られる。

【0150】

図 1 7 は、シート抵抗値の温度勾配とドーズ量の関係を表したグラフである。

【 0 1 5 1 】

シート抵抗値の温度勾配とは、シート抵抗値（単位： $M\Omega$ ）の温度（単位： K ）に対する変化率である。この変化率の常用対数値を図 1 7 のグラフの縦軸にとっている。横軸は、ドーズ量（単位： cm^{-2} ）である。

【 0 1 5 2 】

グラフ（A）は BF_2 を $50 keV$ でポリシリコン膜にイオン注入した場合、グラフ（B）はP（リン）を $40 keV$ でポリシリコンにイオン注入した場合である。 BF_2 、Pいずれの場合も、ドーズ量が増加すると抵抗値の変化率は小さくなり、ほぼ傾きが直線を示している。

【 0 1 5 3 】

このことから、各不純物の抵抗値の変化率とドーズ量の相関図を作成しておけば、ドーズ量を調整することにより、所望の温度勾配の温度依存抵抗素子が得られることがわかる。

【 0 1 5 4 】

<温度依存抵抗素子の第 2 の製造例>

この製造例では、第 1 層間絶縁膜 3 0 0 上にセルプレート 3 2 2 a を形成すると同時に、温度依存抵抗素子 3 2 2 b を形成する方法を説明する。

【 0 1 5 5 】

図 1 8 及び図 1 9 は、第 2 の製造工程図である。半導体集積回路を製造する工程中の抵抗素子を形成する主な工程での資料の様子を、切り口の断面図で示してある。ただし、第 1 層間絶縁膜 3 0 0 の形成が済んだ状態から示してあり、半導体基板の図示等は省略してある。

【 0 1 5 6 】

図 1 8 （A）は、図 1 4 （A）のセルプレートを成膜する前の段階を示している。この下地に対して、ノンドープのポリシリコン膜 3 2 2 を厚さ $50 \sim 400 nm$ でCVD法により形成する。その後、ポリシリコン膜 3 2 2 に不純物を打ち込む。例えば、エネルギー $20 keV \sim 80 keV$ 、ドーズ量 $1E13 \sim 1E14 cm^{-2}$ で BF_2 をイオン注入する（図 1 8 （B））。この不純物は温度依存抵

抗素子の第1の製造例で述べたように、 BF_2 には限定されず、他のP型不純物やN型不純物でも良い。

【0157】

次に、抵抗素子となる部分、すなわち、抵抗素子形成領域326のポリシリコン膜322をレジスト328で保護する。セルプレートとなる部分、すなわち、キャパシタ形成領域324を含んだ領域に、さらに BF_2 をエネルギー20keV \sim 80keV、ドーズ量 $1\text{E}15\sim 1\text{E}16\text{cm}^{-2}$ イオン注入する(図19A))。レジスト328を除去した後、公知のホトリソ・エッチング技術により、パターニングを行う。このパターニングにより、温度依存抵抗素子322bとセルプレート322aが形成される(図19(B))。第2層間絶縁膜332をBPSG膜で形成することにより、キャパシタ330と同じ層に温度依存抵抗素子332bが形成される。このようにして、温度依存抵抗素子を形成すれば、イオン注入の工程が一工程増えるが、ホトリソ・エッチングによるパターニングでセルプレートと温度依存抵抗素子を同時に形成できるので、全体の工程数を少なくすることが出来る。

【0158】

<温度依存抵抗素子の第3の製造例>

この製造例では、第1層間絶縁膜300上にセルプレート322aを形成すると同時に、温度依存抵抗素子322b及び温度非依存抵抗素子322cを形成する方法を説明する。

【0159】

図20及び図21は、第3の製造工程図である。半導体集積回路を製造する工程中の抵抗素子を形成する主な工程での試料の様子を、切り口の断面図で示してある。ただし、第1層間絶縁膜300の形成が済んだ状態から示してあり、半導体基板の図示等は省略してある。

【0160】

図20(A)は、図14(A)のセルプレートを成膜する前の段階を示している。この下地に対して、ノンドープのポリシリコン膜322を厚さ50 \sim 400nmでCVD法により形成する。その後、ポリシリコン膜322に不純物を打ち

込む。例えば、エネルギー $20\text{ keV} \sim 80\text{ keV}$ 、ドーズ量 $1\text{ E }13 \sim 1\text{ E }14\text{ cm}^{-2}$ で BF_2 をイオン注入する（図 20 (B)）。この不純物は温度依存抵抗素子の第 1 の製造例で述べたように、 BF_2 には限定されず、他の P 型不純物や N 型不純物でも良い。

【0161】

次に、抵抗素子となる部分、すなわち、抵抗素子形成領域 336 のポリシリコン膜 322 をレジスト 340 で保護する。セルプレートとなる部分、すなわち、キャパシタ形成領域 334 及び温度非依存抵抗素子形成領域 338 を含んだ領域に、さらに BF_2 をエネルギー $20\text{ keV} \sim 80\text{ keV}$ 、ドーズ量 $1\text{ E }15 \sim 1\text{ E }16\text{ cm}^{-2}$ でイオン注入する（図 20 (C)）。レジスト 340 を除去した後、公知のホトリソ・エッチング技術により、パターンニングを行う。このパターンニングにより、温度依存抵抗素子 322b、セルプレート 322a 及び温度非依存抵抗素子 322c が形成される（図 21 (A)）。第 2 層間絶縁膜 344 を BPSG 膜で形成することにより、キャパシタ 342 と同じ層に温度依存抵抗素子 322b 及び温度非依存抵抗素子 322c が形成される（図 21 (B)）。このようにして、温度依存抵抗素子を形成すれば、イオン注入の工程が一工程増えるが、ホトリソ・エッチングによるパターンニングでセルプレートと温度依存抵抗素子及び温度非依存抵抗素子を同時に形成できるので、全体の工程数を少なくすることが出来る。

【0162】

以上のような方法により、温度依存抵抗素子を用いた発振回路を、半導体集積回路内部に形成すれば、発振周期はこの集積回路の内部温度によって変化する。よって、DRAM のセルフリフレッシュモードでのリフレッシュ周期に用いれば、半導体集積回路の内部温度に適した発振周期を得ることが出来る。

【0163】

よって、上述した 3 つの温度依存抵抗素子の製造例を用いれば、半導体集積回路にこの発明に用いる温度依存抵抗素子を好適に形成することが出来る。

【0164】

【発明の効果】

この発明の第一の要旨の半導体集積回路で構成される発振回路によれば、高温では温度依存抵抗素子の影響を多く受けて決定された発振周期の出力信号が出力され、低温では温度非依存抵抗素子の影響を多く受けて決定された発振周期の出力信号が出力される。この発明による発振回路では、発振周期は、温度が高いほど短く、温度が低いほど長くなる。また、この発明の発振回路では、温度が低いほど発振周期は長くなるが、低温になるほど温度による発振周期の変化率が小さくなり最大値へと収束する温度特性を持つ。

【0165】

この発明の第二の要旨の半導体集積回路で構成される発振回路によれば、高温では温度依存抵抗素子の影響を受けて決定された発振周期の出力信号が出力され、低温では温度非依存抵抗素子の影響を受けて決定された発振周期の出力信号が出力される。この発明による発振回路では、発振周期は、高温領域では、温度が高いほど短くなる。低温領域では、温度による発振周期の変化はなくなり、温度非依存抵抗素子によって決定された一定の最大値をとる。

【0166】

この発明の第三の要旨の半導体集積回路で構成される発振周期決定装置によれば、高温では温度依存抵抗素子の影響を受けて決定された第1発振周期決定回路の発振周期の出力信号が出力され、低温では温度非依存抵抗素子の影響を受けて決定された第2発振周期決定回路の発振周期の出力信号が出力される。この発明による発振周期決定装置では、発振周期は、高温領域では、温度が高いほど短くなる。低温領域では、温度による発振周期の変化はなくなり、温度非依存抵抗素子によって決定された一定の最大値をとる。

【0167】

このように、DRAMのセルフリフレッシュモードでのリフレッシュ周期に、この発明の半導体集積回路の出力する発振周期を用いれば、最大周期をコントロールできる。これにより、低温になるほどリフレッシュ電流を減らしながら、メモリテストの時間が長くなるのを防ぐことが出来る。加えて、冗長セルに置き換えるメモリセルの個数を減らすことが出来るので、歩留まりを向上させることができる。

【図面の簡単な説明】**【図 1】**

第 1 の実施の形態の発振回路の回路図である。

【図 2】

第 1 の実施の形態の発振回路の出力する動作波形の概略図である。

【図 3】

第 1 の実施の形態の発振回路の発振周期の温度特性を示した図である。

【図 4】

第 2 の実施の形態の発振回路の回路図である。

【図 5】

第 2 の実施の形態の発振回路の出力する動作波形の概略図である。

【図 6】

第 2 の実施の形態の発振回路の発振周期の温度特性を示した図である。

【図 7】

第 3 の実施の形態の周期決定回路の回路図である。

【図 8】

第 3 の実施の形態の温度に発振周期が依存する発振回路の回路図である。

【図 9】

第 3 の実施の形態の温度に発振周期が依存しない発振回路の回路図である。

【図 1 0】

第 3 の実施の形態の調整手段を具えた分周回路の回路図である。

【図 1 1】

第 3 の実施の形態の切換回路の回路図である。

【図 1 2】

第 3 の実施の形態の調整手段をもたない分周回路の回路図である。

【図 1 3】

第 3 の実施の形態の周期決定回路の出力する動作波形の概略図である。

【図 1 4】

温度依存抵抗素子の第 1 の製造例の工程図である。

【図 15】

図 14 に続く、温度依存抵抗素子の第 1 の製造例の工程図である。

【図 16】

温度依存抵抗素子の抵抗値の温度特性を表した図である。

【図 17】

不純物のドーズ量と抵抗値の変化率の相関図である。

【図 18】

温度依存抵抗素子の第 2 の製造例の工程図である。

【図 19】

図 18 に続く、温度依存抵抗素子の第 2 の製造例の工程図である。

【図 20】

温度依存抵抗素子の第 3 の製造例の工程図である。

【図 21】

図 20 に続く、温度依存抵抗素子の第 3 の製造例の工程図である。

【図 22】

従来技術の発振回路の構成例を示した回路図である。

【図 23】

従来技術の発振回路の発振周期の温度特性を示した図である。

【符号の説明】

100、138、212、222、400：発振回路

102、104、106、108、232、236、242、244、246
、248、250、252、276、278、280、282、284、286
、288、290、402、404、406、408：インバータ

110、104a、110a、230、234、260、262、264、2
66、272、274、410：NAND回路

112、124、126、152、162、299、412、422：ノード

114、144、164、292、296、414：PMOST

116、146、166、294、298、416：NMOST

118、148、318a、322b、418：温度依存抵抗素子

120、168、322c: 温度非依存抵抗素子
122、314、330、342、420: キャパシタ
128、156、174、249、253、426: 遅延回路
130、154、172、247、251、424: トランジスタ直列回路
132: 抵抗並列回路
140: 初段のインバータ
142: 第1サブインバータ
150: 第1キャパシタ
157: 第1出力ノード
160: 第2サブインバータ
170: 第2キャパシタ
175: 第2出力ノード
200: 発振周期決定装置
210、220: 周期決定回路
214、224: 分周回路
254: ヒューズ回路
256: 2分周回路
257、275: 出力ノード
258a~258h: 切換回路
268、270: NOR回路
300: 第1層間絶縁膜
302: スルーホール
304: 配線層
306: 導電層
308: ストレージノード
310: キャパシタ絶縁膜
312、322a: セルプレート
316、332、344: 第2層間絶縁膜
318、322: ポリシリコン膜

3 2 0 : 第 3 層間絶縁膜

3 2 4、3 3 4 : キャパシタ形成領域

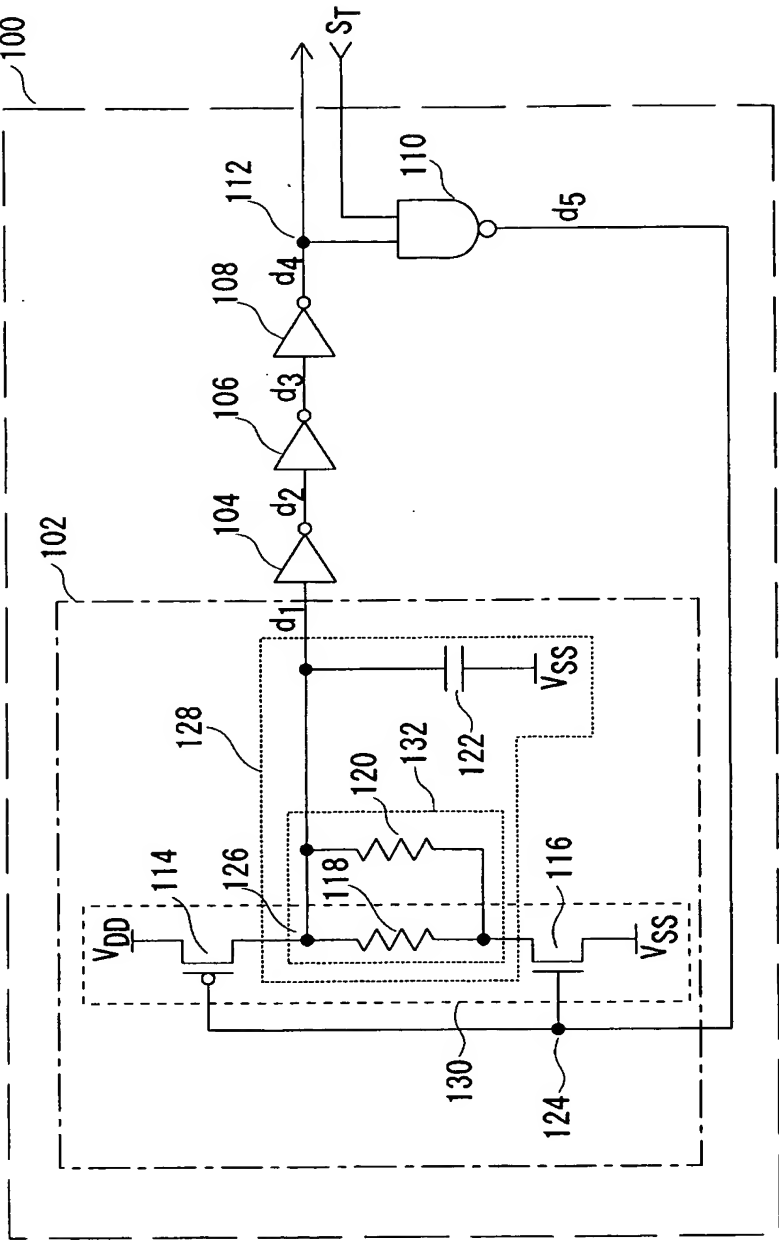
3 2 6、3 3 6 : 温度依存抵抗素子形成領域

3 2 8、3 4 0 : レジスト

3 3 8 : 温度非依存抵抗素子形成領域

【書類名】 図面

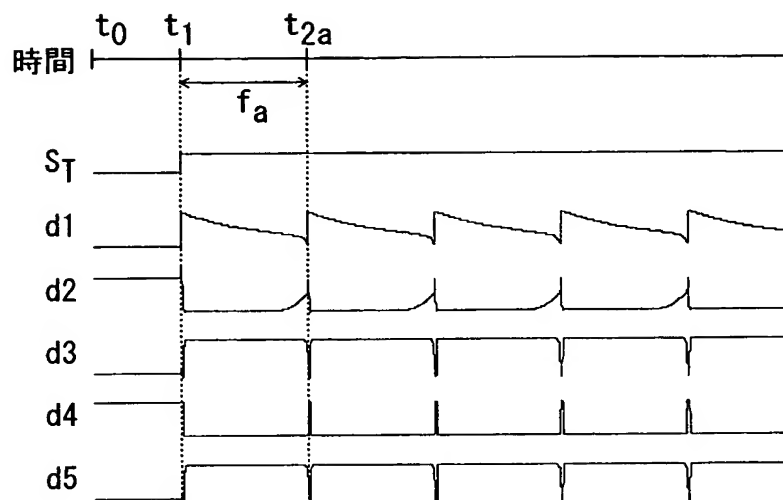
【図 1】



- 100: 発振回路
- 102, 104, 106, 108: インバータ
- 110: NAND回路
- 112, 124, 126: ノード
- 114: PMOST
- 116: NMOST
- 118: 温度依存抵抗素子
- 120: 温度非依存抵抗素子
- 122: キャパシタ
- 128: 遅延回路
- 130: トランジスタ直列回路
- 132: 抵抗並列回路

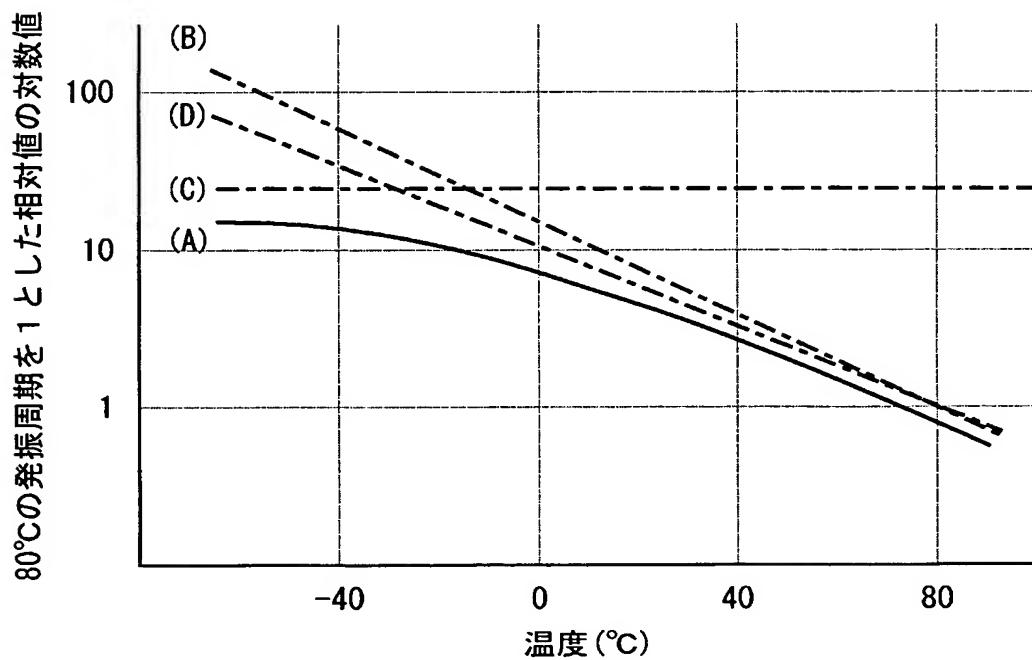
第 1 の実施の形態の発振回路

【図 2】



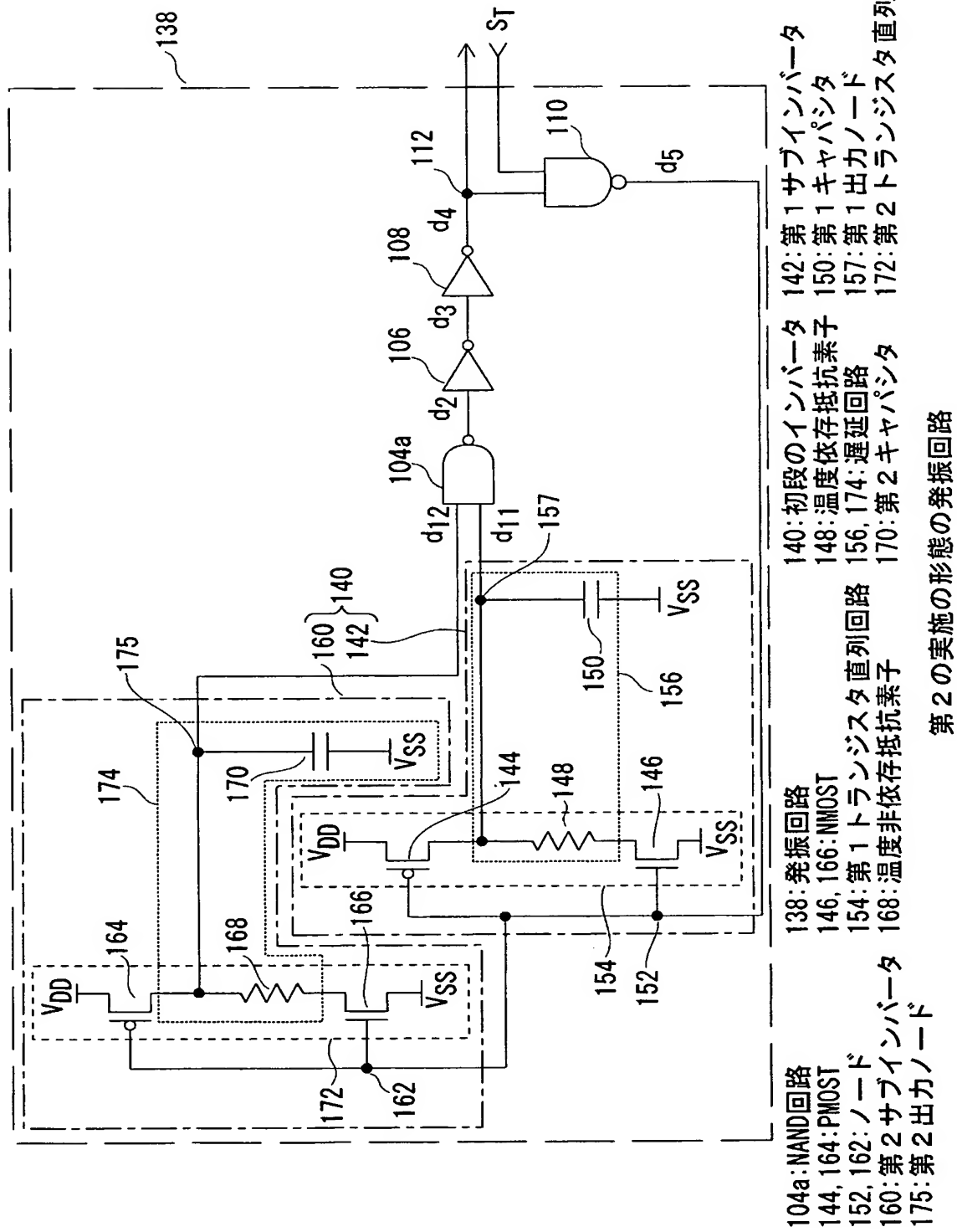
第 1 の実施の形態の動作波形

【図 3】



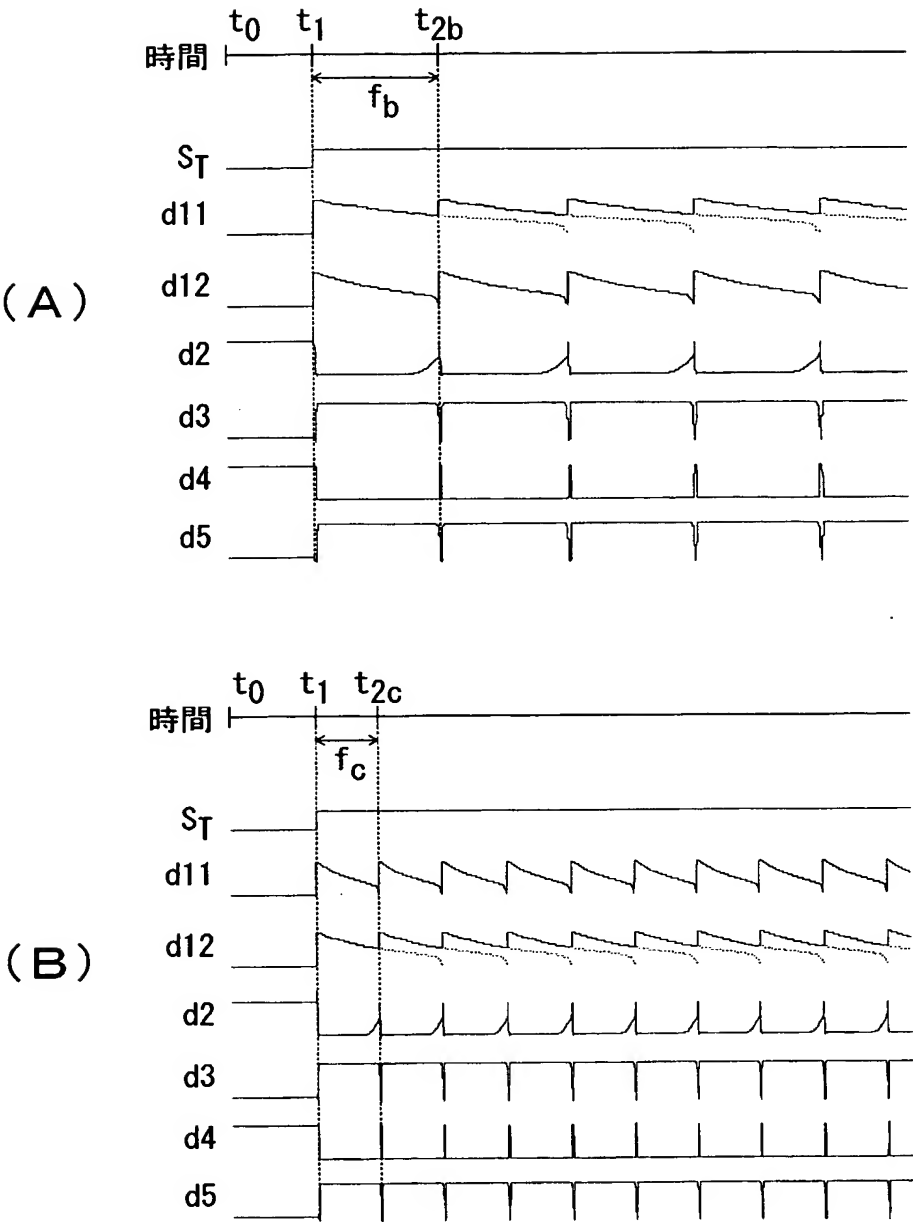
第 1 の実施の形態の発振周期の温度特性

【図 4】



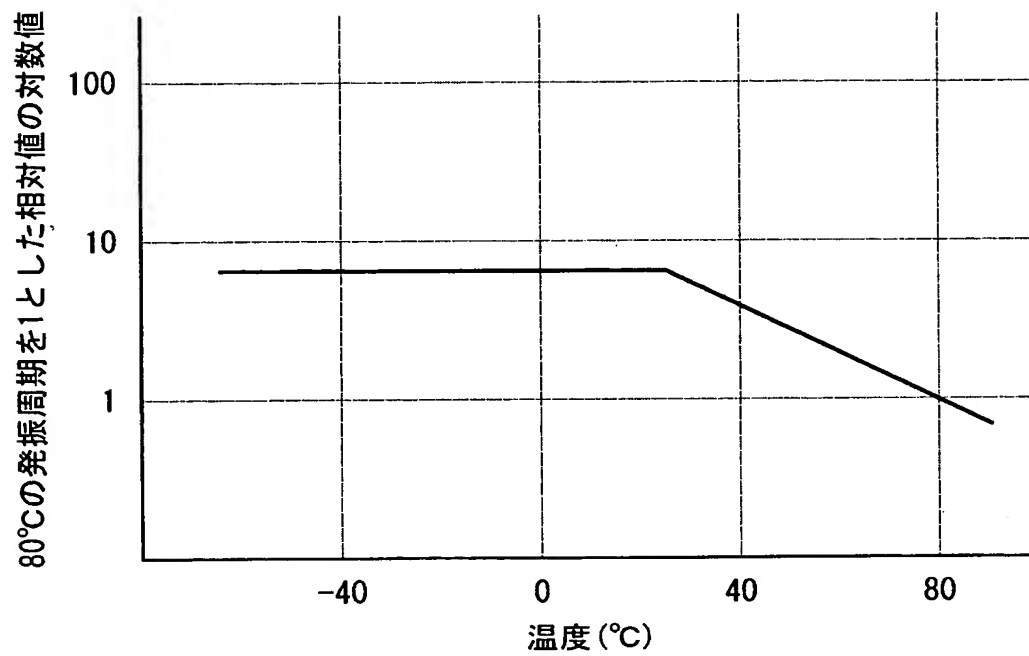
第2の実施の形態の発振回路

【図 5】



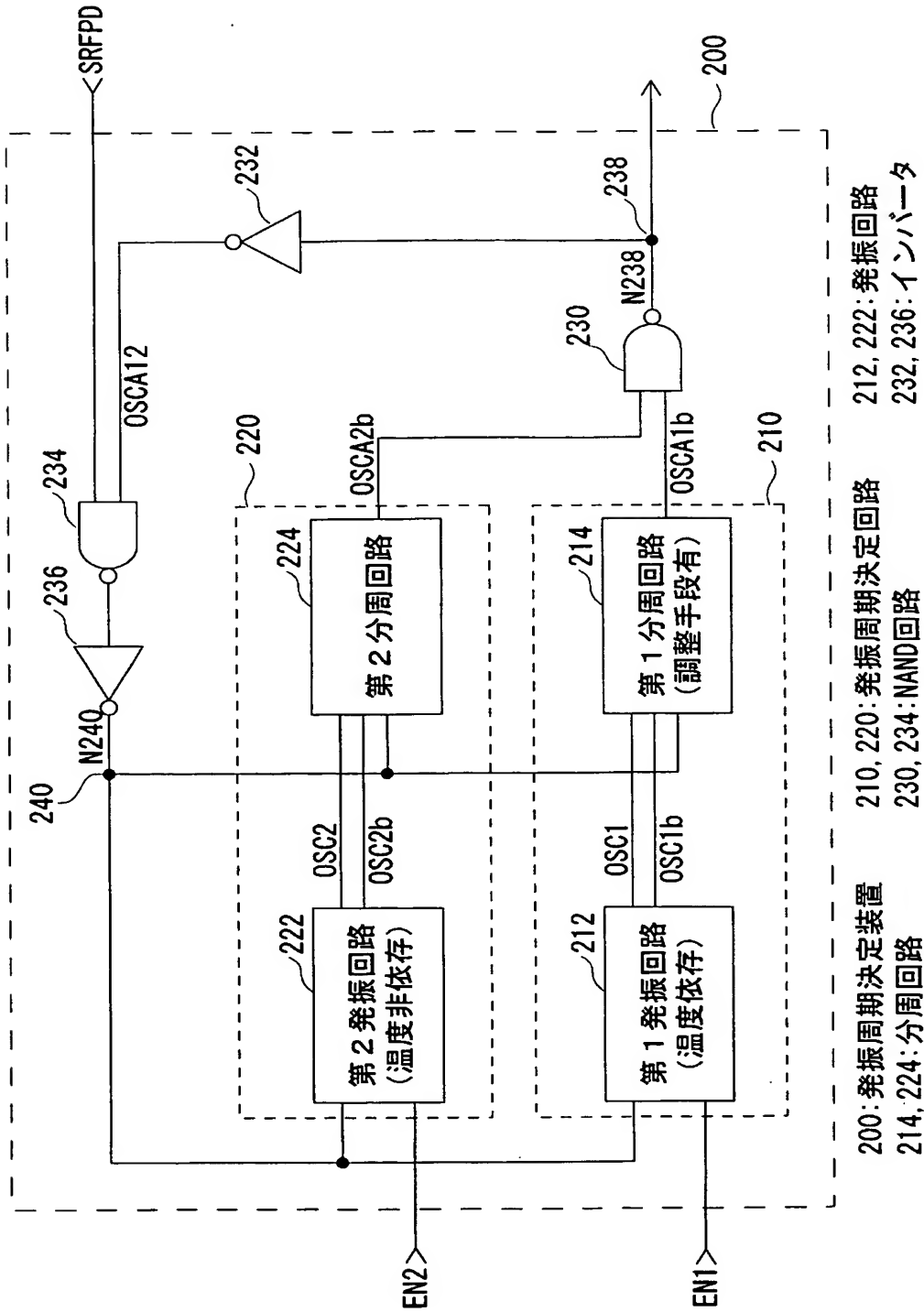
第 2 の実施の形態の動作波形

【図 6】

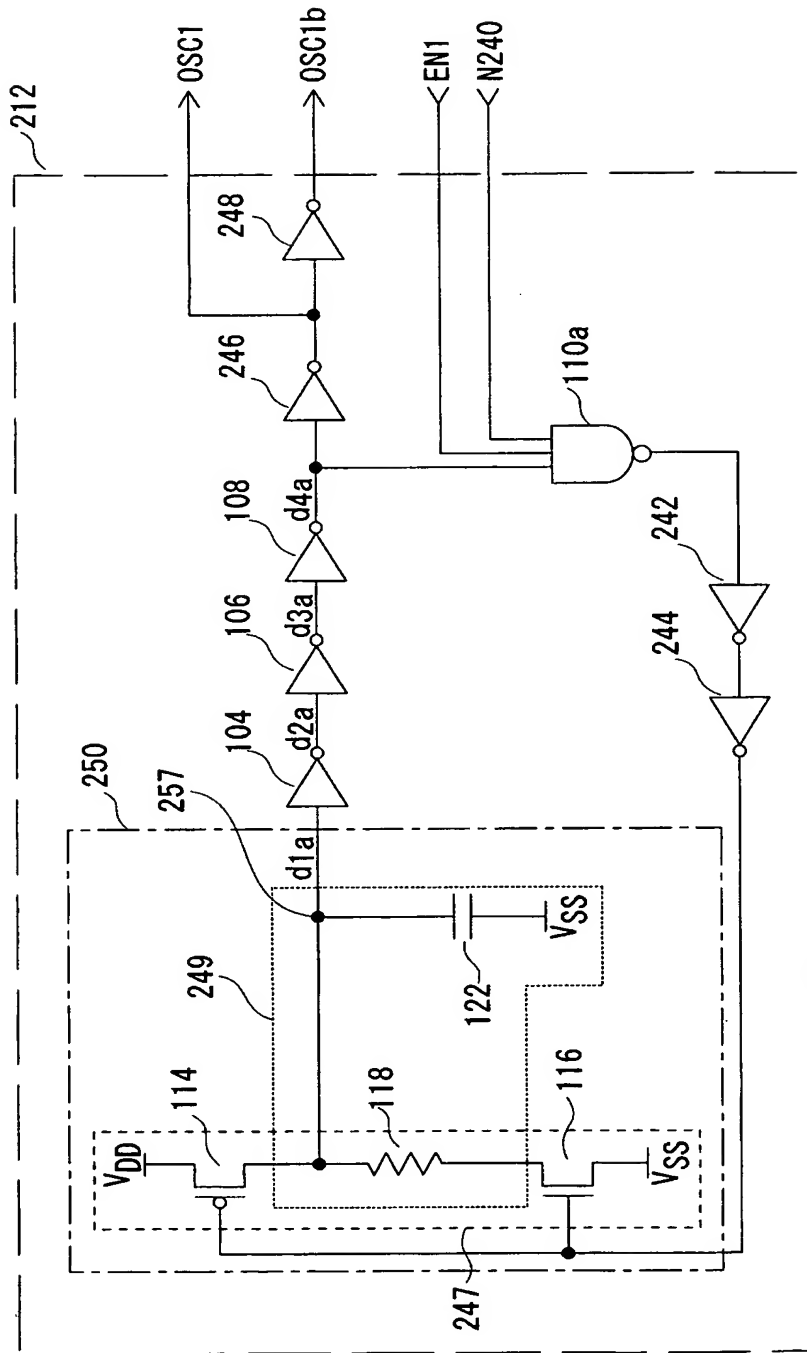


第2の実施の形態の発振周期の温度特性

【図 7】



【図 8】



110a: NAND回路

247: トランジスタ直列回路

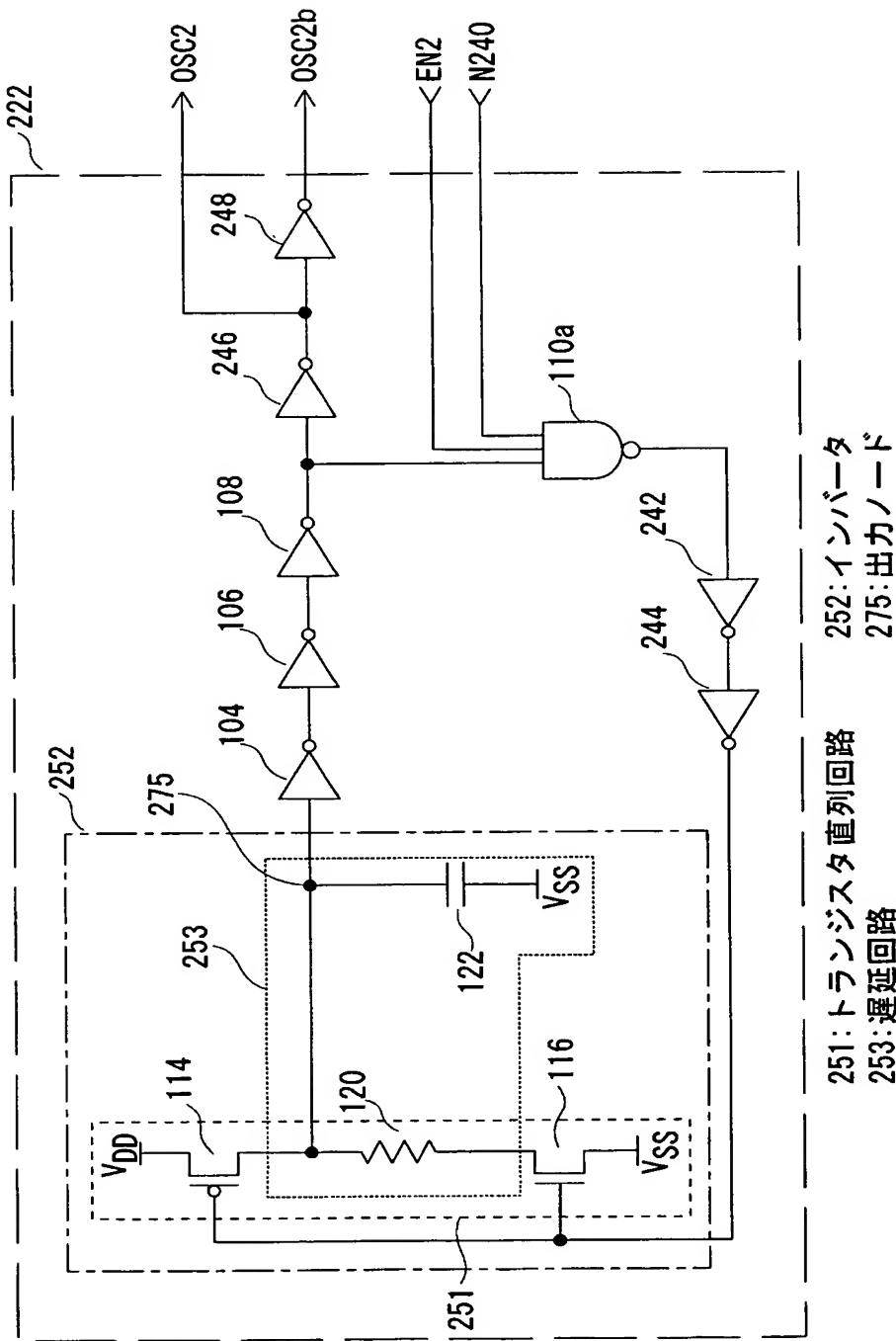
257: 出力ノード

242, 244, 246, 248, 250: インバータ

249: 遅延回路

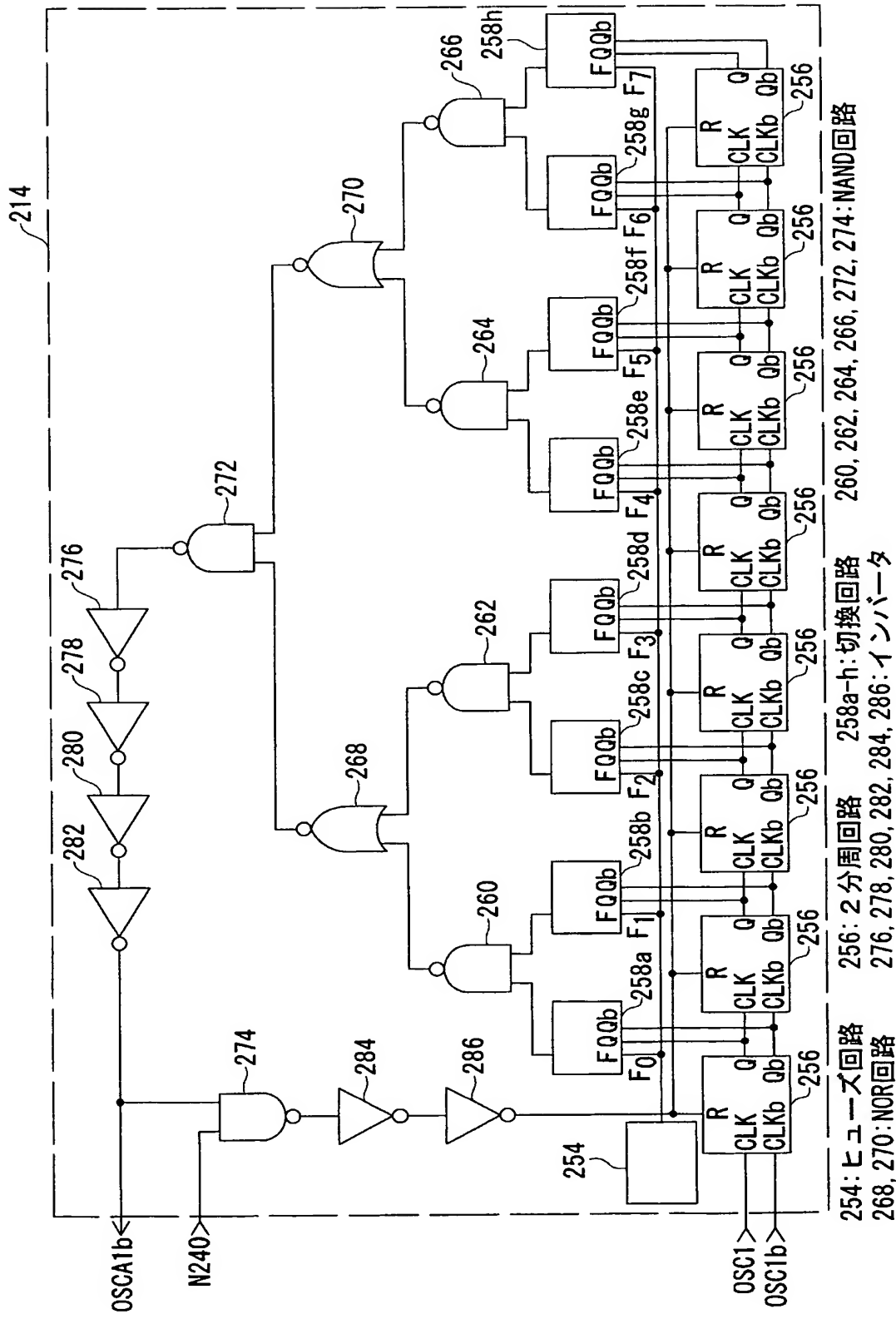
第 3 の実施の形態の発振回路 (温度依存)

【図 9】



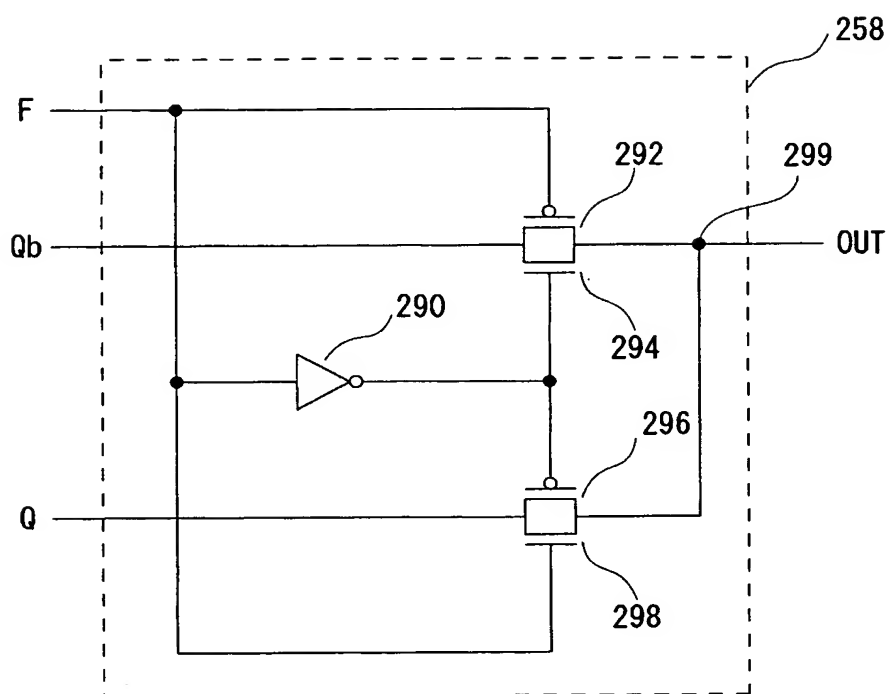
第3の実施の形態の発振回路（温度非依存）

【図 10】



第 3 の実施の形態の分周回路 (調整手段有)

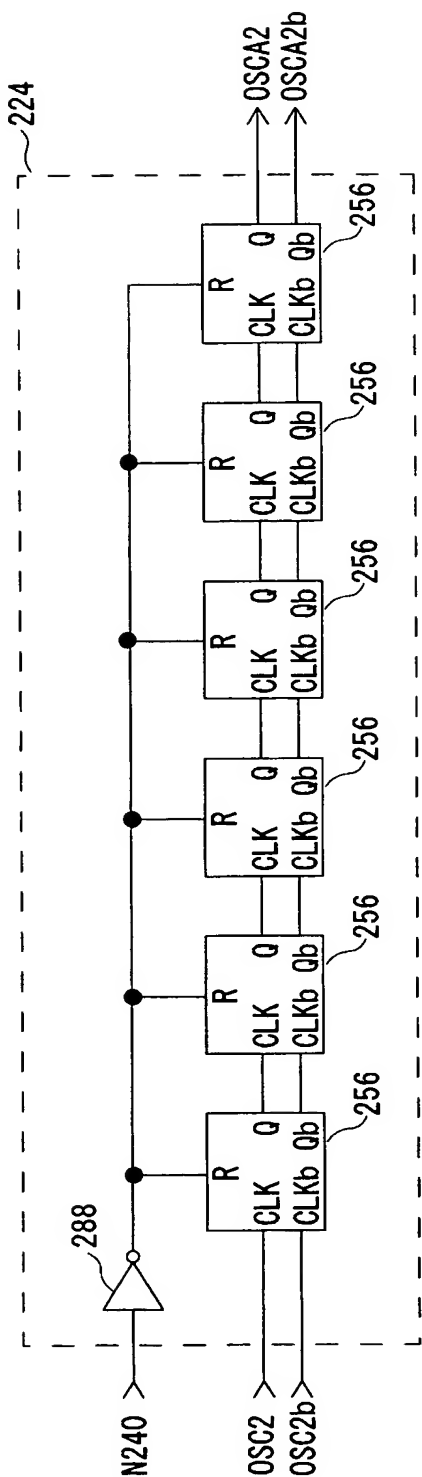
【図 11】



290: インバータ 292, 296: PMOST 294, 298: NMOST
299: ノード

第3の実施の形態の切換回路

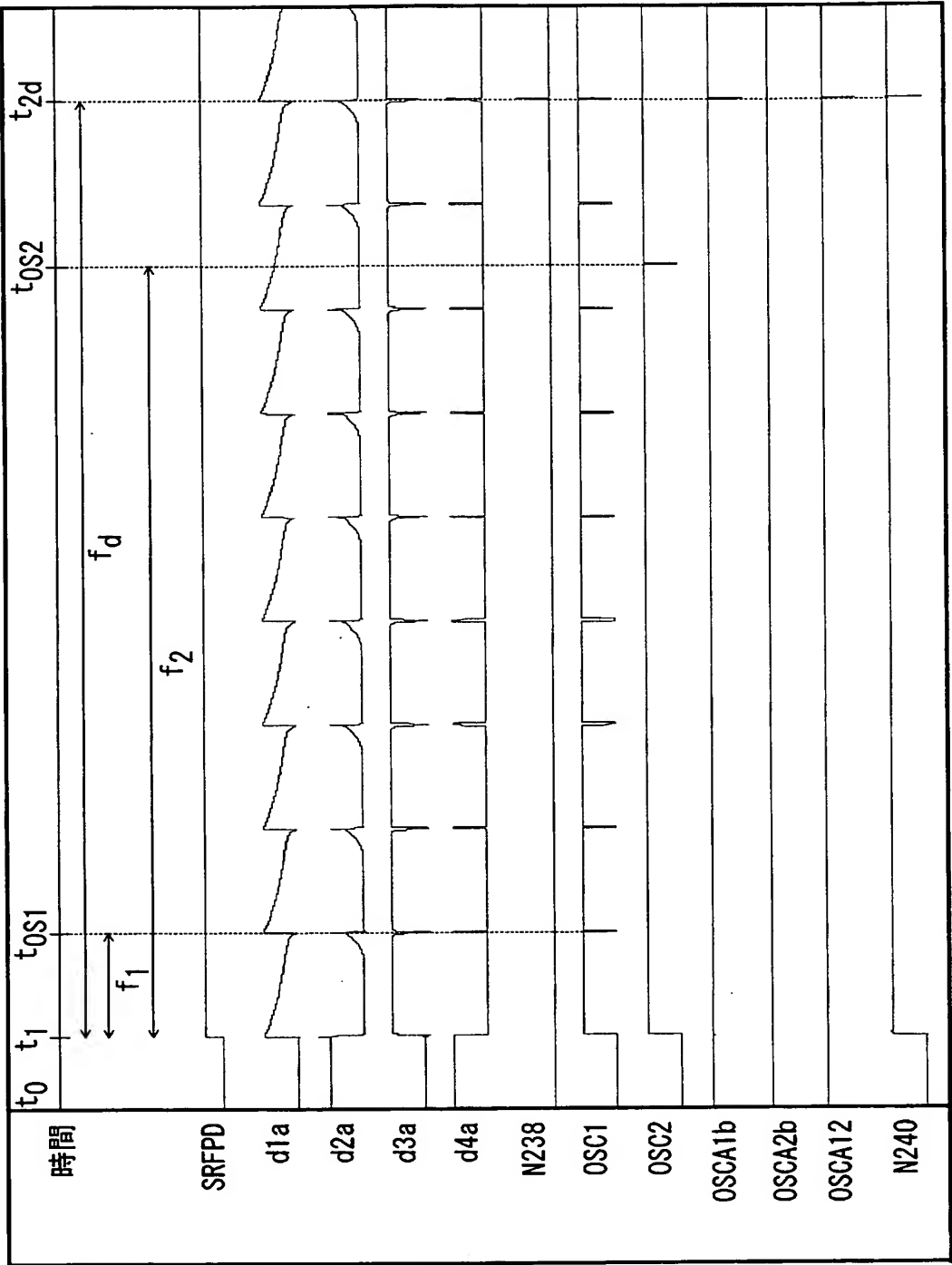
【図 1 2】



288:インバータ

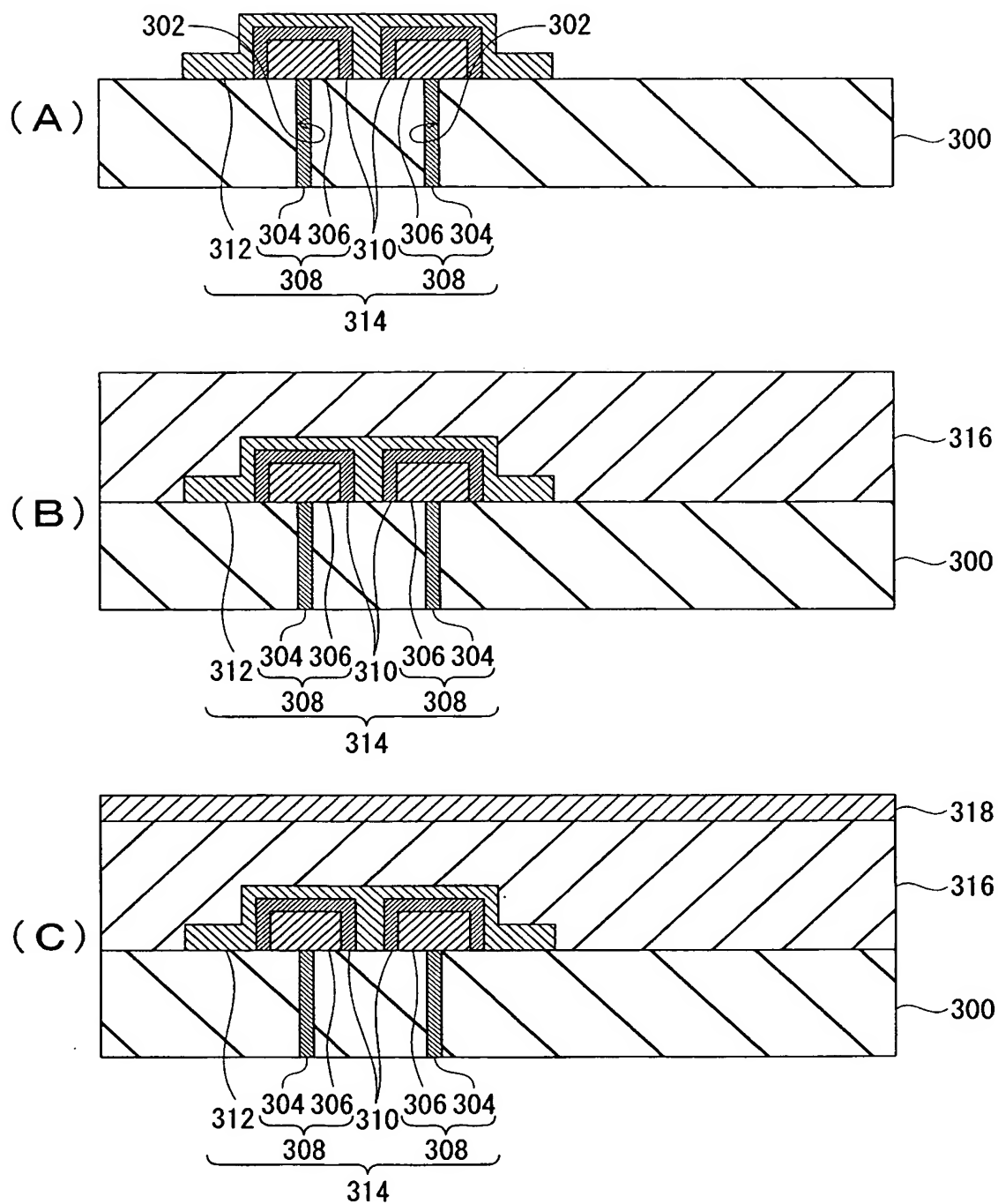
第 3 の実施の形態の分周回路 (調整手段なし)

【図 13】



第3の実施の形態の動作波形

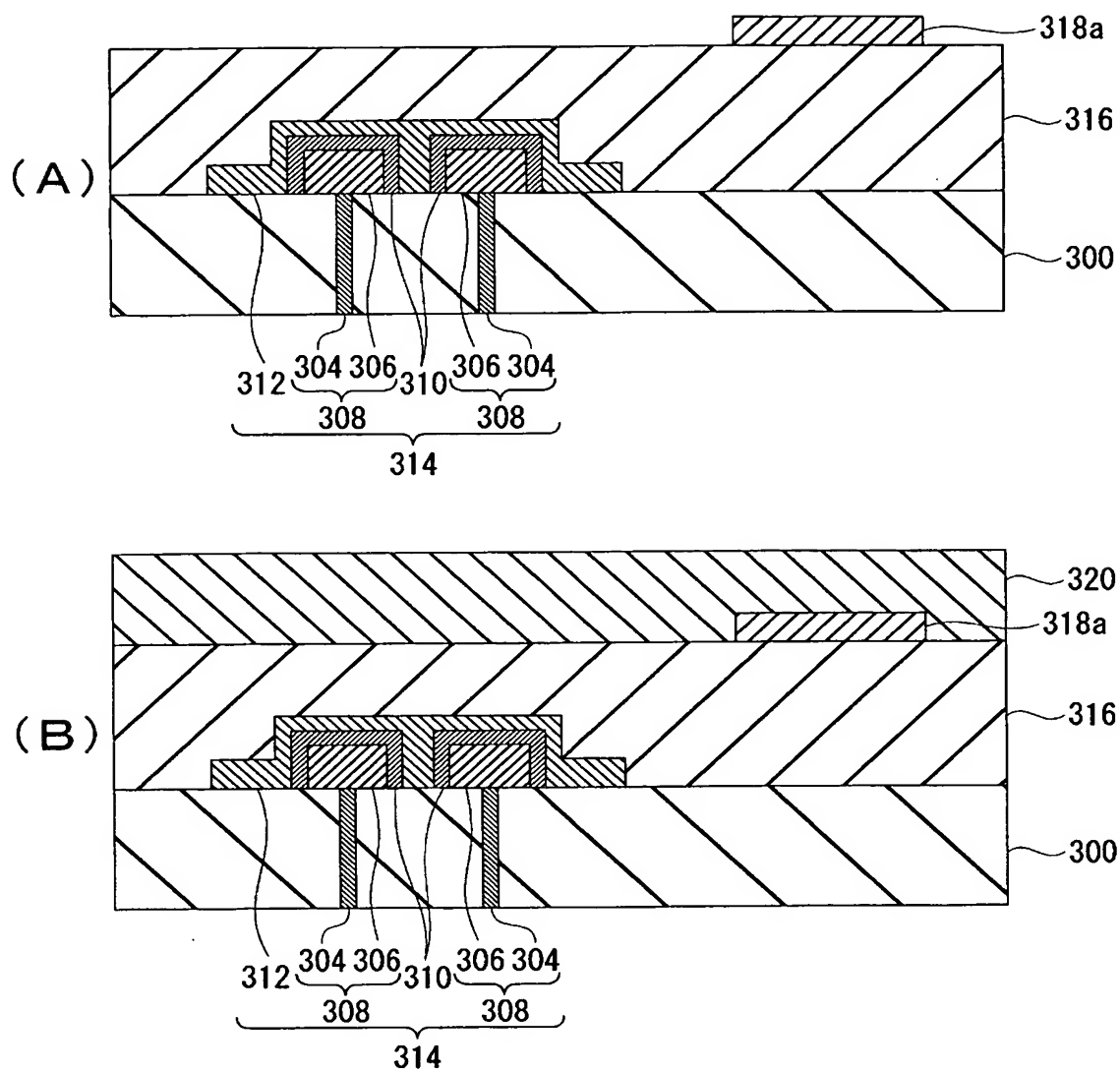
【図 14】



300: 第 1 層間絶縁膜 302: スルーホール 304: 配線層
 306: 導電層 308: ストレージノード 310: キャパシタ絶縁膜
 312: セルプレート 314: キャパシタ 316: 第 2 層間絶縁膜
 318: ポリシリコン膜

温度依存抵抗素子の第 1 の製造例の工程図

【図 15】

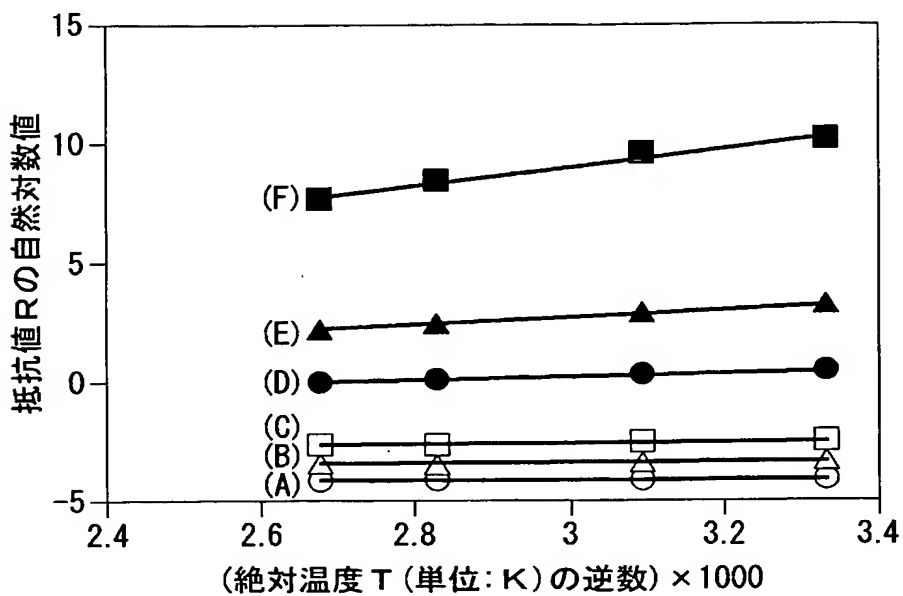


318a: 温度依存抵抗素子

320: 第 3 層間絶縁膜

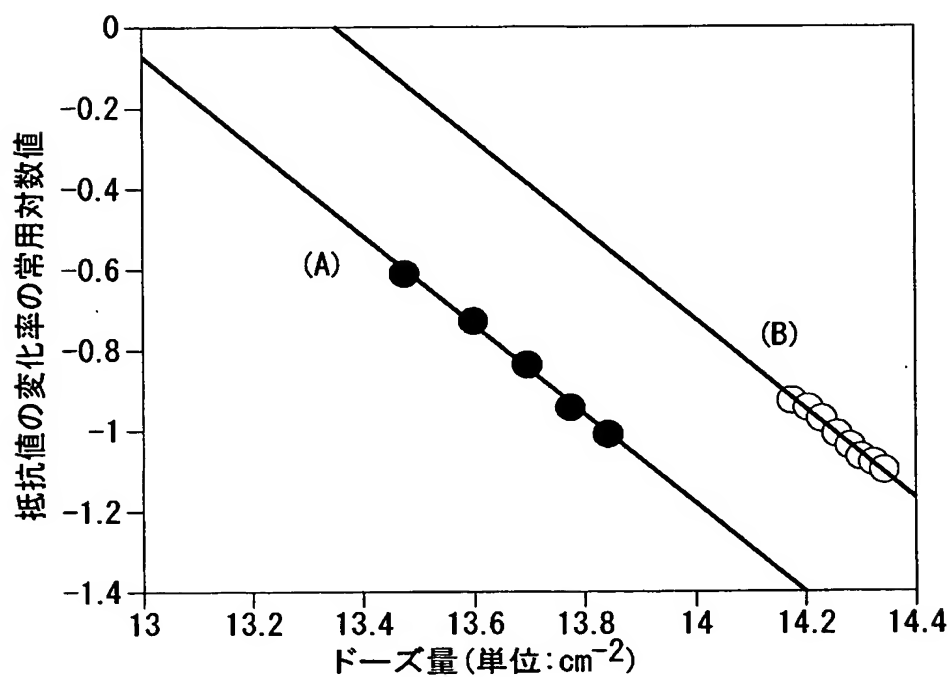
温度依存抵抗素子の第 1 の製造例の工程図

【図 16】



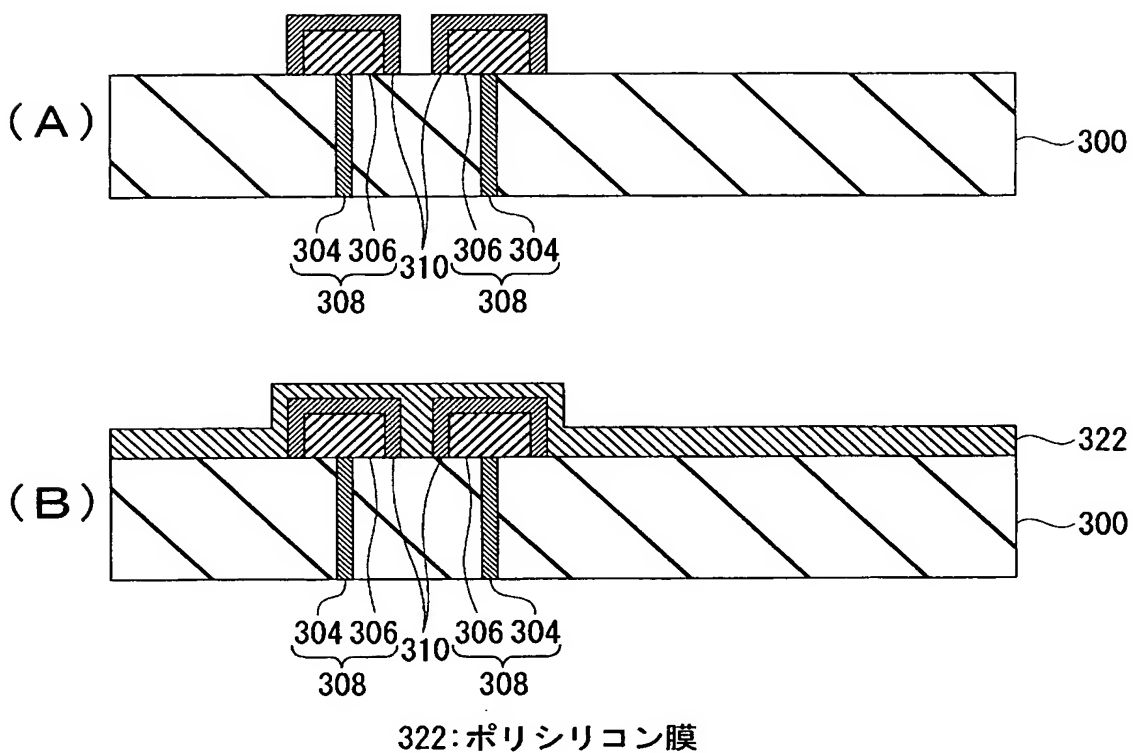
温度依存抵抗素子の抵抗値の温度特性

【図 17】



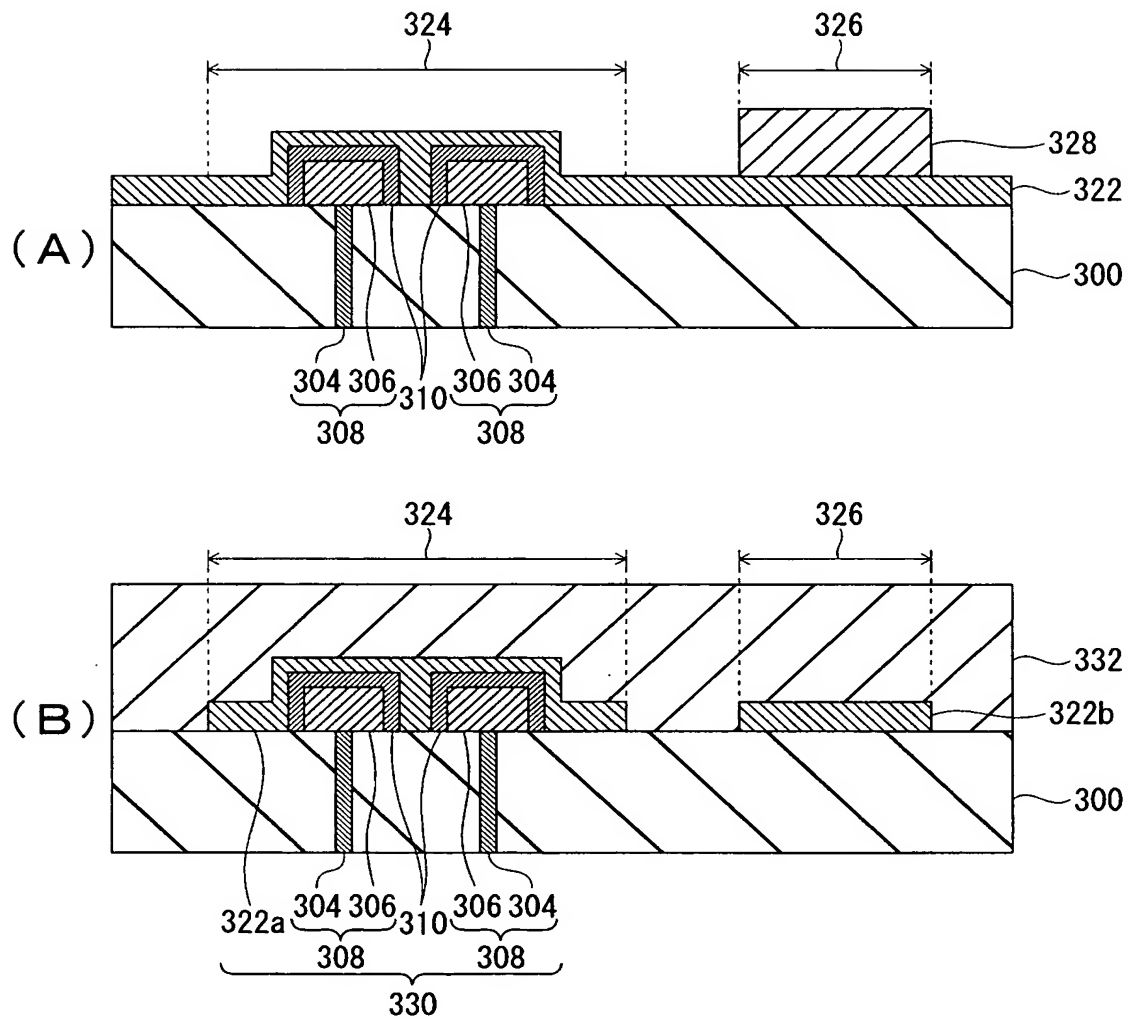
ドーズ量と抵抗値の変化率の相関図

【図 18】



温度依存抵抗素子の第 2 の製造例の工程図

【図 19】

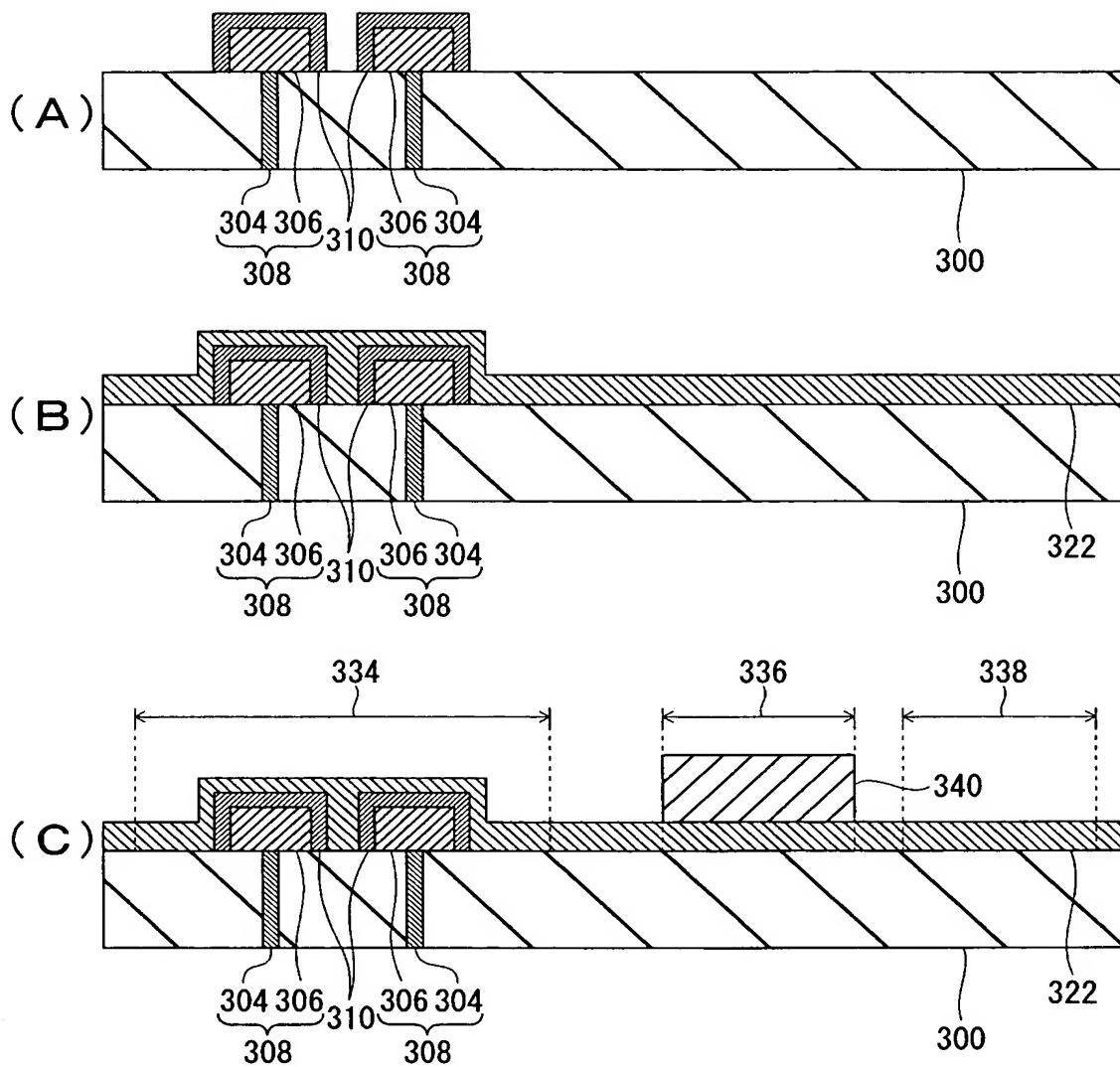


322a: セルプレート
 324: キャパシタ形成領域
 328: レジスト
 332: 第2層間絶縁膜

322b: 温度依存抵抗素子
 326: 温度依存抵抗素子形成領域
 330: キャパシタ

温度依存抵抗素子の第2の製造例の工程図

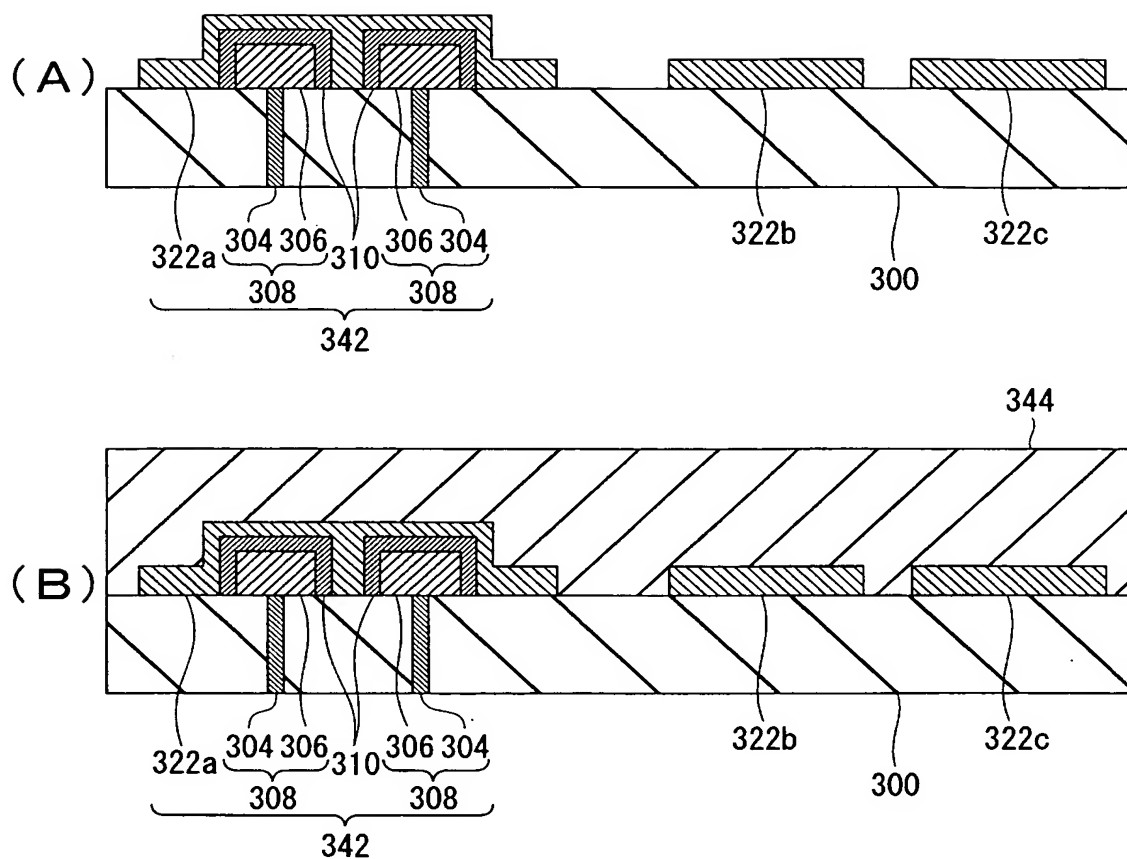
【図 20】



334: キャパシタ形成領域 336: 温度依存抵抗素子形成領域
 338: 温度非依存抵抗素子形成領域 340: レジスト

温度依存抵抗素子の第3の製造例の工程図

【図 21】



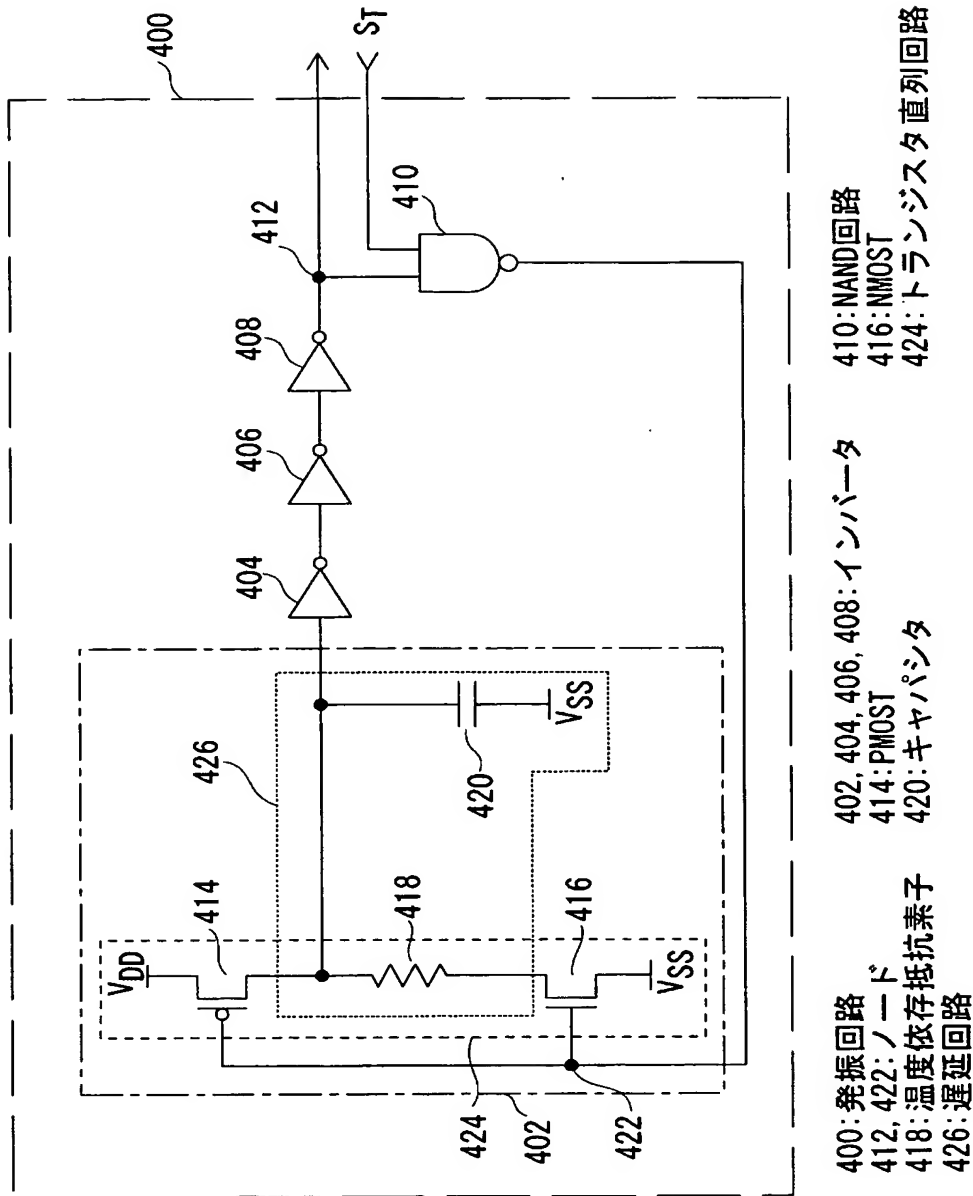
322c: 温度非依存抵抗素子

342: キャパシタ

344: 第 2 層間絶縁膜

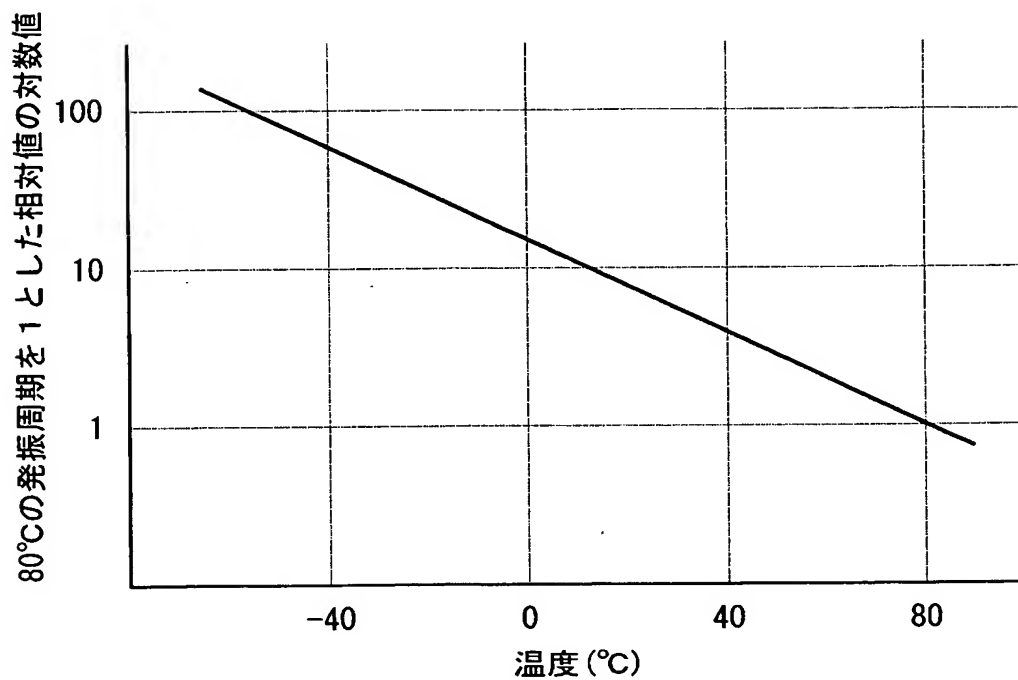
温度依存抵抗素子の第 3 の製造例の工程図

【図 22】



従来技術の発振回路の例

【図 23】



従来技術の発振回路の発振周期の温度特性

【書類名】 要約書

【要約】

【課題】 発振周期が、高温では短く低温では長くなるようになだらかに変化し、かつ、低温での発振周期に最大値が設定できる発振回路を提供する。

【解決手段】 高温で抵抗値の小さくなる抵抗素子 118 と抵抗値が温度非依存の抵抗素子 120 を並列に接続した抵抗並列回路 132 を、PMOST 114 と NMOST 116 の主電極間に結合することにより、インバータ 102 の出力信号 d_1 を温度により変化させる。リング発振回路の出力する発振周期は、高温では短く、低温では長くなる。また、低温では温度に依存しない抵抗素子 120 の抵抗値によって発振周期が大きく影響されるので、発振周期の最大値を設定できる。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 7 3 0 0 3
受付番号	5 0 3 0 1 0 1 5 7 5 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 6 月 1 9 日

< 認定情報・付加情報 >

【提出日】 平成15年 6月18日

次頁無

特願 2003-173003

出 願 人 履 歷 情 報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社